

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/DE04/002601

International filing date: 24 November 2004 (24.11.2004)

Document type: Certified copy of priority document

Document details: Country/Office: DE
Number: 103 55 561.7
Filing date: 28 November 2003 (28.11.2003)

Date of receipt at the International Bureau: 18 January 2005 (18.01.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

BUNDESREPUBLIK DEUTSCHLAND**Prioritätsbescheinigung über die Einreichung
einer Patentanmeldung**

Aktenzeichen: 103 55 561.7

Anmeldetag: 28. November 2003

Anmelder/Inhaber: Infineon Technologies AG, 81669 München/DE

Bezeichnung: Halbleiteranordnung mit nichtflüchtigen Speichern

IPC: H 01 L, C 09 D

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 10. Januar 2005
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag


Brosig



MÜLLER · HOFFMANN & PARTNER - PATENTANWÄLTE

European Patent Attorneys – European Trademark Attorneys

Innere Wiener Strasse 17
D-81667 München

Anwaltsakte: 12585
Anmelderzeichen: 2003P50987 DE

Ko/Sv/rg
28.11.2003

Infineon Technologies AG

St.-Martin-Straße 53
81669 München

Halbleiteranordnung mit nichtflüchtigen Speichern

Infineon Technologies AG

2003P50987 DE

2003 E 50986, 50988, 50989, 51002, 51005,
51006, 51007, 51008, 51009 DE

12585

54

Zusammenfassung

Die Erfindung betrifft eine Halbleiteranordnung mit mindestens einer nichtflüchtigen Speicherzelle, die eine erste Elektrode, die mindestens aus zwei Lagen besteht aufweist; und mit einem organischen Material, wobei das organische Material mit der im unmittelbaren Kontakt stehenden Lage der ersten Elektrode eine Verbindung bildet. Die Erfindung betrifft weiterhin ein Verfahren zur Herstellung der nichtflüchtigen Speicherzelle, eine Halbleiteranordnung mit einer Mehrzahl von erfindungsgemäßen Speicherzellen und ein Verfahren zur deren Herstellung.

Beschreibung

Die Erfindung betrifft eine Halbleiteranordnung mit nicht-flüchtigen Speichern.

5

10

15

0

Es sind aus dem Stand der Technik verschiedene Zellen bekannt, die bei der Herstellung von Halbleitern verwendet werden können. US 4,371,883 beschreibt eine Zelle, die einen Film aus einem organischen Material zwischen zwei Metallelektroden aufweist, wobei der Elektronenakzeptor mit einer der Elektroden, die aus Kupfer (Cu) oder Silber (Ag) besteht, einen Charge-Transfer-Komplex (CT-Komplex) bildet. Das in der US 4,371,883 beschriebene organische Material ist zum Beispiel Tetracyanoquinodimethan (TCNQ), Tetracyanonaphthoquinodimethan (TNAP), Tetracyanoethylen (TCNE), Dichlordicyanobenzoquinon (DDQ), oder deren Derivate. Unter Verwendung eines elektrischen Feldes kann die Zelle zwischen zwei Zuständen, die verschiedene Widerstände aufweisen, geschaltet werden (ON- bzw. OFF-Zustand), so dass diese zwei Zustände beispielsweise als "0" oder "1" gewertet werden können.

25

30

Die Zelle gemäß US 4,371,883 weist aber wesentliche Nachteile auf, so dass eine solche Zelle zur Verwendung in der Mikroelektronik nicht in Frage kommt. Ein Nachteil der Zelle gemäß US 4,371,883 besteht unter anderem darin, dass die als notwendig erachtete Filmstärke zwischen 1 und 10 μm liegt. Der weitere Nachteil ist, dass das Verhältnis zwischen den Widerständen des ON- bzw. OFF-Zustands sehr niedrig ist und lediglich 66 beträgt sowie, dass der Aufbau der Zelle gemäß US 4,371,883 mit den gängigen Aufbauten in der Mikroelektronik nicht kompatibel ist. So werden beispielsweise Elektroden wie

Gold, Magnesium oder Chrom in der Chipherstellung vermieden. Der entscheidende Nachteil ist aber, dass die Zelle als eine nichtflüchtige Speicherzelle nicht verwendet werden kann, da eine solche Zelle nach dem Abschalten des elektrischen Feldes aus dem ON-Zustand in den OFF-Zustand übergeht (US 4,371,883, Spalte 5, Zeilen 15-17). Die Übergangszeit ist von der Filmdicke abhängig. Weitere Ausführungen solcher Zellen sind z. B. in US 4,652,894 oder 5,161,149 beschrieben.

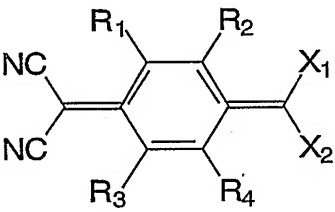
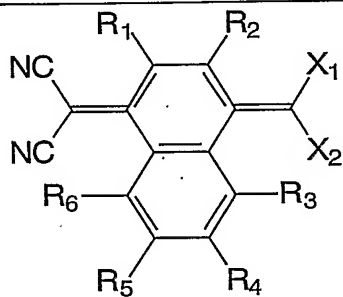
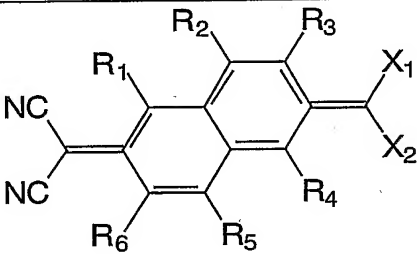
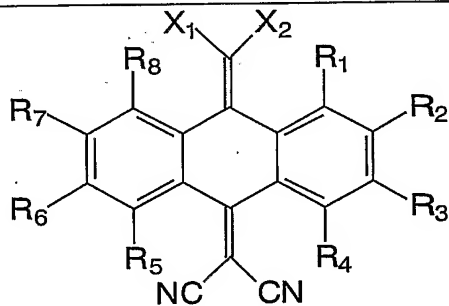
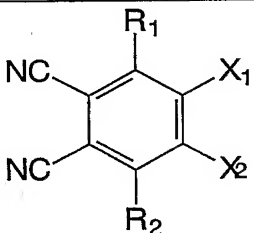
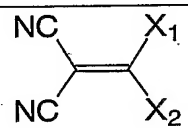
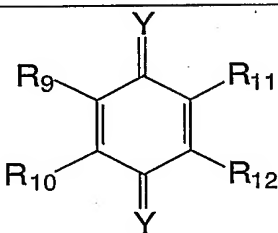
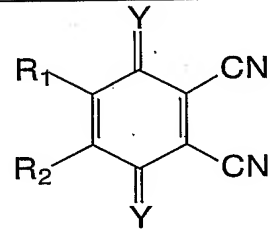
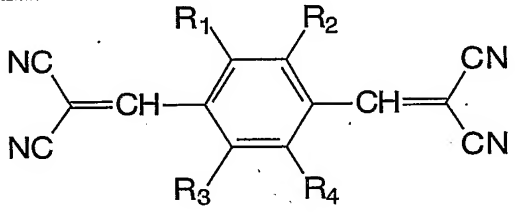
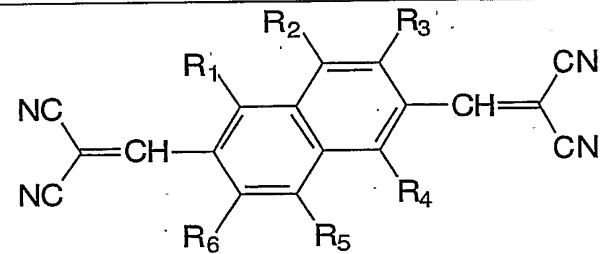
- 10 Die Aufgabe der vorliegenden Erfindung besteht darin, eine Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle bereitzustellen, die eine hohe Integrationsdichte ermöglicht, mit den gängigen Herstellungsverfahren in der Mikroelektronik kompatibel ist, und die verbesserten Eigenschaften gegenüber
- 15 den Speicherzellen gemäß dem Stand der Technik aufweist. Diese Aufgabe wurde durch den Gegenstand des Patentanspruchs 1 gelöst.

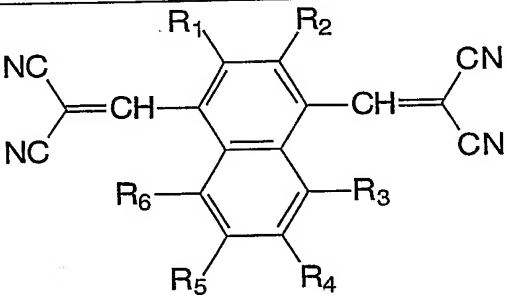
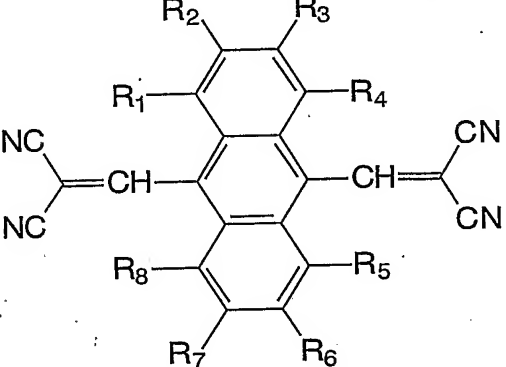
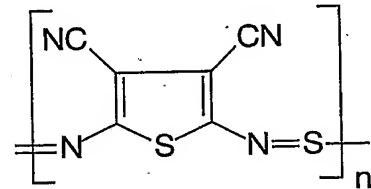
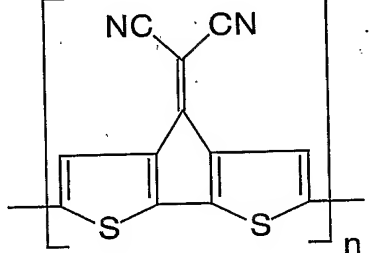
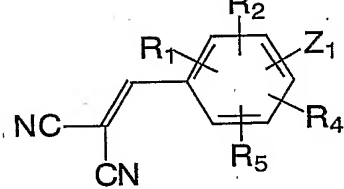
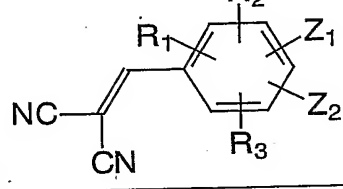
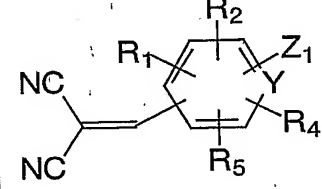
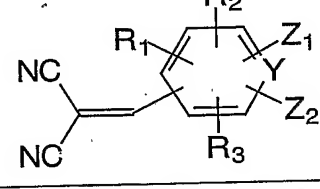
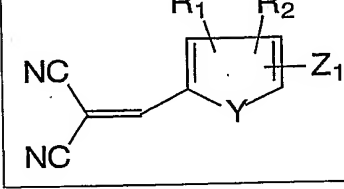
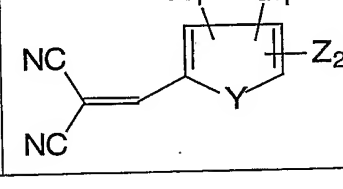
- Die Vorteile des erfindungsgemäßen Zellenaufbaus sind reversible Schaltbarkeit, ein Verhältnis zwischen ON- und OFF-Widerständen bis zu 1000 oder höher, nicht-destruktives Lesen, da keine Notwendigkeit des Wiederbeschreibens nach dem Lesen besteht, da die Zelle nach resistivem Prinzip arbeitet, Skalierbarkeit bis zu einer Fläche von 40 nm^2 , nichtflüchtige
- 25 Informationsspeicherung, Funktionalität bis herunter zu Filmstärken von ca. 30nm, eine thermische Stabilität bis zu 350°C , die Funktionsfähigkeit der Zelle auch bei einer Temperatur von bis zu 200°C , gute Haftung der Schichten aneinander, Schaltbarkeit in Gegenwart von Luft und Feuchtigkeit,
- 30 selektive Formation der elektrischen schaltbaren chemischen Substanz direkt über der Elektrode, so dass in Gegenwart ei-

nes Isolators, wie z. B. Siliziumdioxid, der Komplex nur über der Elektrode gebildet wird, einfache und kostengünstige Erzeugung des Komplexes und die Eignung der Speicherzelle für die Herstellung in mehreren Lagen, wie z. B. in der Cu-Damascene-Technik.

Die erfindungsgemäße Halbleiteranordnung mit einer nicht-flüchtigen Speicherzelle besteht aus einem Substrat, das zwei Elektroden und ein dazwischen liegendes organisches Material (in den Zeichnungen als Material X gekennzeichnet) aufweist, wobei eine Elektrode mit dem organischen Material eine Verbindung bildet. Diese „Verbindung“ kann unter Bildung kovalenter oder ionischer Bindungen entstehen, aber auch unter Bildung von Charge Transfer Komplexen oder von schwachen Bindungen wie Dipol-Dipol-Wechselwirkungen etc.

Außer organischen Materialien können in besonderen Fällen auch anorganische bzw. anorganisch-organische Materialien (ebenfalls als Material X) verwendet werden, um die oben genannte Verbindung zu bilden. Diese sind insbesondere Schwefel, Selen oder Tellur sowohl in reiner, als auch in gebundener Form (d. h. organo-Verbindungen von Schwefel, Selen oder Tellur sowie gegebenenfalls Oligo- oder Polymere). Da jedoch vorwiegend organische Materialien verwendet werden, wird im folgenden das Material als organisches Material definiert. Vorzugsweise wird das organische Material aus der folgenden Gruppe ausgewählt:

wobei R_1 , R_2 , R_3 , R_4 , R_5 , R_6 , R_7 , und R_8 unabhängig voneinander

5 die folgende Bedeutung haben können:

H, F, Cl, Br, I (Jod), Alkyl, Alkenyl, Alkynyl, O-Alkyl, O-Alkenyl, O-Alkynyl, S-Alkyl, S-Alkenyl, S-Alkynyl, OH, SH, Aryl, Heteroaryl, O-Aryl, S-Aryl, NH-Aryl, O-Heteroaryl, S-Heteroaryl, CN, NO₂, $-(CF_2)_n-CF_3$, $-CF((CF_2)_nCF_3)_2$,

5 $-Q-(CF_2)_n-CF_3$, $-CF(CF_3)_2$, $-C(CF_3)_3$ sowie

		$-Q-CH_2-CH=CH_2$	

Für n gilt: n = 0 bis 10

Für Q gilt: $-O-$, $-S-$

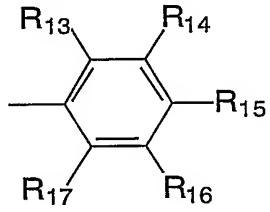
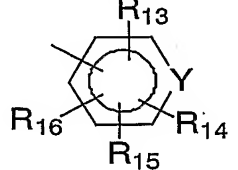
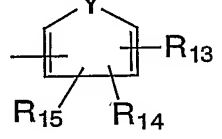
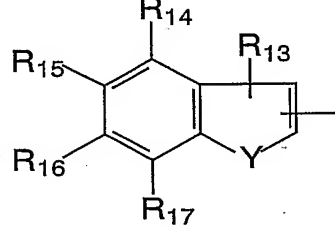
R₉, R₁₀, R₁₁, R₁₂ können unabhängig voneinander sein:

F, Cl, Br, I, CN, NO₂

R₁₃, R₁₄, R₁₅, R₁₆, R₁₇ können unabhängig voneinander sein:

H, F, Cl, Br, I, CN, NO₂

X₁ und X₂ kann unabhängig voneinander sein:

CN	
	
	

Für Y gilt: O, S, Se

Für Z₁ und Z₂ gilt unabhängig voneinander: CN, NO₂

5. Das Substrat kann Silizium, Germanium, Galliumarsenid, Galliumnitrid; ein beliebiges Material, das eine beliebige Verbindung von Silizium, Germanium oder Gallium enthält; ein Polymer (d. h. Kunststoff; gefüllt oder ungefüllt, z. B. als Formteil oder Folie), Keramik, Glas oder Metall sein. Dieses Substrat kann auch ein bereits prozessiertes Material sein und ein bis mehrere Lagen aus Kontakten, Leiterbahnen, Isolierschichten und weiteren mikroelektronischen Bauteilen enthalten.

Das Substrat ist insbesondere Silizium, das bereits entsprechend Front-End-of-Line (FEOL) prozessiert ist, d. h. bereits elektrische Bauteile wie Transistoren, Kondensatoren etc. - gefertigt in Siliziumtechnik - enthält. Zwischen dem Substrat

und der nächsten Elektrode befindet sich vorzugsweise eine Isolierschicht; insbesondere dann, wenn das Substrat elektrisch leitend ist. Jedoch können auch zwischen dem Substrat und der nächsten Elektrode mehrere Schichten sein.

5

Das Substrat kann nur als Trägermaterial dienen oder aber eine elektrische Funktion (Auswertung, Steuerung) füllen. Für den letztgenannten Fall gibt es elektrische Kontakte zwischen dem Substrat und den Elektroden, die auf das Substrat aufgebracht werden. Diese elektrischen Kontakte sind beispielsweise mit einem elektrischen Leiter gefüllte Kontaktlöcher (Vi-
10 as). Es ist jedoch auch möglich, dass die Kontakte von unten in die oberen Lagen, durch Metallisierungen in den Randbereichen des Substrats bzw. der Chips erfolgen.

15

Ein bevorzugtes Device der Erfindung ist der sog Hybridspeicher, wobei das Substrat in der gängigen Front-End-of-the-Line (FEOL) CMOS Siliziumtechnik prozessiert wird und anschließend die Speicherlage(n) darauf aufgebracht werden. Je-
20 doch ist das Substrat, wie oben erwähnt, nicht nur darauf beschränkt.

25

Die oben beschriebene Sandwich Struktur der Speicherzelle(n), bestehend aus zwei Elektroden und dem dazwischen liegenden organischen Material bzw. der gebildeten Verbindung, kann nicht nur einmal sondern mehrere Male in übereinander gestapelter Form auf das Substrat aufgebracht werden. Dabei entstehen mehrere „Ebenen“ für die Speicherzellen, wobei jede Ebene aus zwei Elektroden und der dazwischen liegenden Ver-
30 bindung besteht (die Elektroden grenzen an die beiden Flächen der Verbindung). Natürlich können auch mehrere Zellen in ei-

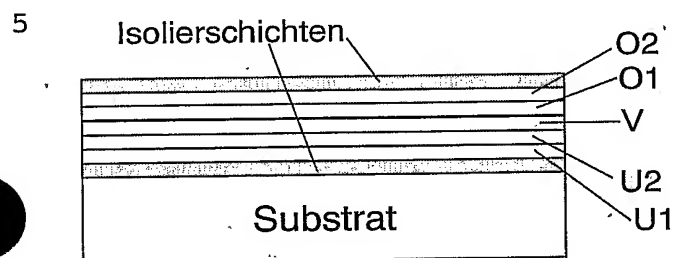
ner Ebene sein (Zell Array). Die verschiedenen Ebenen können mit einem Isolator voneinander getrennt sein. Es ist auch möglich, dass für zwei übereinander liegende Ebenen nicht vier, sondern nur drei Elektroden verwendet werden; d. h. die
5 „mittlere“ Elektrode wird gemeinsam genutzt.

Es wurde überraschenderweise festgestellt, dass die erfindungsgemäße Zelle in der Halbleiteranordnung den angelegten Zustand ohne eine angelegte Spannung sehr lange behalten
10 kann, so dass die Zelle daher als ein nichtflüchtiger Speicher dienen kann. Es konnte gezeigt werden, dass die erfindungsgemäße Halbleiteranordnung mit der erfindungsgemäßen Zelle auch nach mehreren Tausend Zyklen des ON-/OFF-Wechsels immer noch deutlich lesbar bzw. auch funktionsfähig ist und
15 sogar mehrere Monate lang den angelegten Zustand behalten kann. Die Elektrode, die dem Substrat zugewandt ist (im Folgenden als untere Elektrode gekennzeichnet), besteht vorzugsweise aus mindestens zwei Lagen, wobei die Lage, die unmittelbar in Kontakt mit dem Substrat steht (im Folgenden als
20 Lage 1 der unteren Elektrode gekennzeichnet), Titan (Ti), Titantinitrid (TiN), Tantal (Ta), Tantalnitrid (TaN), Wolfram (W), weiterhin TiW, TaW, WN oder WCN sowie IrO, RuO, SrRuO bzw. eine beliebige Kombination dieser Materialien - auch in zwei oder mehr Lagen - sein kann. Weiterhin können, in Kombination mit den oben genannten Schichten bzw. Materialien,
25 auch dünne Schichten aus Si, TiNSi, SiON, SiO, SiC, SiN oder SiCN vorhanden sein. Somit kann die Lage 1 der unteren Elektrode selbst aus mehr wie einer Lage bestehen.

30 Die Abkürzungen TiN, TaN etc. sind nur symbolisch, d. h. sie geben keine exakten stöchiometrischen Verhältnisse wieder

- (z. B. wird hier Siliziumdioxid auch nicht als SiO_2 , sondern als SiO gekennzeichnet). Das Verhältnis der Komponenten kann in möglichen Grenzen beliebig geändert werden. Die andere Lage (im Folgenden als Lage 2 der unteren Elektrode gekennzeichnet) weist ein Metall auf, vorzugsweise Kupfer, das mit dem organischen Material (Material X) die oben genannte Verbindung bildet. Diese Lage (Lage 2), die die Verbindung bildet kann entweder reines Metall sein oder eine Legierung aus mehreren Metallen. Entscheidend ist aber, dass diese Lage ein Metall enthält, das mit dem organischen Material die Verbindung bilden kann. Das bevorzugte Material ist Kupfer sowie seine Legierungen mit anderen Metallen. Daneben ist Silber bzw. seine Legierungen mit anderen Metallen geeignet.
- Zur Abscheidung der oben genannten Schichten sind verschiedene Verfahren geeignet. Diese können z. B. PVD, CVD, PECVD, Aufdampfen, Electroplating, Electroless plating oder Atomic Layer CVD (ALCVD) sein; jedoch sind die Methoden nicht nur auf diese beschränkt.
- Die zweite Elektrode (obere Elektrode) kann aus einer oder mehreren Lagen bestehen. Als zweite Elektrode sind vorzugsweise Aluminium, Kupfer, Silber, AlCu, AlSiCu, Titan (Ti), Titannitrid (TiN), Tantal (Ta), Tantalnitrid (TaN), Wolfram (W), weiterhin TiW, TaW, WN oder WCN sowie IrO, RuO, SrRuO bzw. eine beliebige Kombination dieser Materialien - auch in zwei oder mehr Lagen - sein kann. Weiterhin können, in Kombination mit den oben genannten Schichten bzw. Materialien, auch dünne Schichten aus Si, TiNSi , SiON , SiO , SiC , SiN oder SiCN vorhanden sein. Somit kann die Lage 1 der unteren Elektrode selbst aus mehr wie einer Lage bestehen.

Die Art der geeigneten Elektroden ist jedoch nicht auf die oben genannten Materialien beschränkt.



O2 = Lage 2 der oberen Elektrode

O1 = Lage 1 der oberen Elektrode

V = gebildete Verbindung

U2 = Lage 2 der unteren Elektrode

15 U1 = Lage 1 der unteren Elektrode

Das organische Material, das zwischen den Elektroden angeordnet ist, ist vorzugsweise ein Elektronenakzeptor, d. h. ein Molekül mit elektronenziehenden Atomen (z. B. -Cl, -F, -Br, -I) bzw. Gruppen (z. B. -CN, -CO-, -NO₂) und bildet mit der unteren Elektrode die entsprechende Verbindung. Als Elektronenakzeptor werden insbesondere solche Moleküle bevorzugt, die in ihrem Gerüst mindestens eines der oben genannten Atome und/oder der Gruppen enthalten. Natürlich können mehrere der oben genannten Atome bzw. Gruppen ebenfalls vorhanden sein. Die bevorzugten organischen Materialien sind TCNQ und DDQ. Die Verbindung wird durch eine selektive Reaktion vom organischen Material mit Lage 2 der unteren Elektrode, die z. B. kupferhaltig oder silberhaltig ist, gebildet. Die Zusammensetzung der unteren Elektrode und des organischen Materials, ist nicht auf TCNQ und Kupfer beschränkt, sondern kann einer-

25

30

seits aus beliebigen organischen Materialien (die mindestens eines der oben genannten Atome bzw. der Gruppen enthalten und andererseits aus beliebigen Metallen sein. Es ist lediglich notwendig, dass die Elektrode ein Metall enthält, das mit dem organischen Material bzw. mit einer Komponente des organischen Materials die Verbindung bildet. Das geeignete organische Material kann z. B. einer der in Tabelle 1 aufgelisteten Strukturen entsprechen. Es ist auch möglich, dass mehr wie eines der in Tabelle 1 erwähnten Moleküle mit dem Metall die Verbindung bilden. Jedoch ist die Anzahl der Elektronenakzeptoren nicht auf die in Tabelle 1 aufgelisteten Moleküle begrenzt.

Neben den oben erwähnten Elektronenakzeptoren können auch andere Materialien, wie z. B. Schwefel in elementarer Form oder schwefelhaltige organische Verbindungen, mit der (unteren) Elektrode die Verbindung bilden (z. B. Kupfersulfid). Weiterhin können beispielsweise auch Selen bzw. selenhaltige Verbindungen oder Tellur bzw. tellurhaltige Verbindungen eine Verbindung mit der unteren Elektrode eingehen.

Die vorteilhaften Eigenschaften der erfindungsgemäßen Zelle werden in Tabelle 2 verdeutlicht.

Retention time	> 350 Tage
Endurance	bis zu 100.000 Zyklen
Schwellspannung (Schalten)	. 2V
Verhältnis der ON und OFF Widerstände	bis zu 10.000
Imprint (Schreiben oder Löschen)	. 1 Million Pulse
Lesepulse	. 10 Million Pulse
Skalierbarkeit	40nm ²

Infineon Technologies AG

2003P50987 DE

2003 E 50986, 50988, 50989, 51002, 51005,
51006, 51007, 51008, 51009 DE

12585

13

Lithographischer Prozess direkt über der Zelle	möglich
--	---------

Erläuterungen:

Threshold voltage: Schwellspannung, an der die Zelle vom OFF (ON) in den ON (OFF) Zustand schaltet.

Retention time: Zeitspanne, in der der Speicherzustand (ON oder OFF) ohne angelegte Spannung beibehalten wird

Endurance: Anzahl der maximal möglichen Schreib- und Löschkzyklen / Pulsen

Imprint: Anzahl der maximal möglichen (einseitigen) Schreib- oder Löschpulsen, ohne dass die Eigenschaften (Schwellspannung, Werte für ON und OFF Widerstände, Verlauf des U-I-Diagrammes etc.) eine deutliche, bleibende Änderung zeigen.

Read: Anzahl der maximal möglichen Lese-pulsen

Randbedingung für alle ist, dass die Zellen im Rahmen der Experimente nicht kaputt gehen bzw. die elektrischen Werte bestimmte, erlaubte Toleranzen nicht überschreiten.

Die erfindungsgemäße Halbleiteranordnung kann auch mehrere nichtflüchtige Speicherzellen aufweisen und die mehreren Zellen können mit einer hohen Integrationsdichte in die Halbleiteranordnung eingebaut werden.

Im Nachfolgenden wird das Verfahren zur Herstellung der Halbleiteranordnung beschrieben.

Zur Herstellung der Halbleiteranordnung mit der erfindungsgemäßen Speicherzelle wird zunächst ein Substrat bereitgestellt.

Das Substrat kann wie oben beschrieben Silizium, Germanium, Galiumarsenid, Galliumnitrid sein; ein beliebiges Material, das eine beliebige Verbindung von Silizium, Germanium oder
5 Galium enthält; ein Polymer (d. h. Kunststoff; gefüllt oder ungefüllt, z. B. als Formteil oder Folie), Keramik, Glas oder Metall sein. Dieses Substrat kann auch ein bereits prozessiertes Material sein und ein bis mehrere Lagen aus Kontakten, Leiterbahnen, Isolierschichten und weiteren mikroelektronischen Bauteilen enthalten.
10

Das Substrat ist insbesondere Silizium, das bereits entsprechend Front-End-of-Line (FEOL) prozessiert ist, d. h. bereits elektrische Bauteile wie Transistoren, Kondensatoren etc. -
15 gefertigt in Siliziumtechnik - enthält. Zwischen dem Substrat und der nächsten Elektrode befindet sich vorzugsweise eine Isolierschicht; insbesondere dann, wenn das Substrat elektrisch leitend ist. Jedoch können auch zwischen dem Substrat und der nächsten Elektrode mehrere Schichten sein.

Das Substrat kann nur als Trägermaterial dienen oder aber eine elektrische Funktion (Auswertung, Steuerung) füllen. Für den letztgenannten Fall gibt es elektrische Kontakte zwischen dem Substrat und den Elektroden, die auf das Substrat aufgebracht werden. Diese elektrischen Kontakte sind beispielsweise mit einem elektrischen Leiter gefüllte Kontaktlöcher (Vi-
25 as). Es ist jedoch auch möglich, dass die Kontakte von unten in die oberen Lagen, durch Metallisierungen in den Randbereichen des Substrats bzw. der Chips erfolgen.

Auf das Substrat wird zuerst die untere Elektrode aufgebracht. Zwischen dem Substrat und der unteren Elektrode befindet sich optionell eine Isolierschicht, insbesondere ist dies aber dann eine Notwendigkeit, wenn das Substrat bzw. die oberste Lage des Substrats elektrisch leitend ist. Im Falle von Silizium als Substrat kann diese Isolierschicht z. B. Siliziumoxid sein. Die in das Substrat eingebrachte untere Elektrode besteht aus mindestens zwei Schichten und kann durch die unten beschriebenen Verfahren hergestellt werden.

10

Die Abscheidung der Elektrode kann aus der Gasphase oder aus Lösung erfolgen. Hierzu sind Verfahren wie z. B. PVD, CVD, PECVD, Aufdampfen, Electroplating, Electroless plating oder Atomic Layer CVD (ALCVD) geeignet. Die Lagen U1 und U2 werden beispielsweise hintereinander abgeschieden und anschließend strukturiert. Hierzu bringt man einen Photolack auf die Lage U2 und strukturiert dies entsprechend üblichen Verfahren (Belichtung, Entwicklung etc.). Danach wird diese Struktur mittels Ätzung durch ein Gas bzw. eine Gasmischung oder aber durch eine Flüssigkeit bzw. Flüssigkeitsmischung in die beiden Lagen übertragen. Die Ätzung der beiden Lagen kann mit dem gleichen Reagenz (Gas oder Flüssigkeit) erfolgen oder aber unterschiedliche Reagenzien erfordern.

0

Außer der Strukturierung durch Ätzung können die Lagen auch mittels der sog. Damascene Technik strukturiert werden. Hierzu wird beispielsweise eine über dem Substrat liegende Isolierschicht (vorzugsweise Siliziumoxid) durch Lithographie und Ätzung strukturiert. Nach dem Strippen des Photolacks werden die beiden Lagen abgeschieden, so dass die während der Strukturierung entstandenen Gräben oder Löcher in der Iso-

30

lierschicht vollständig mit den Elektrodenmaterialien gefüllt sind. Anschließend wird der Teil dieser Materialien, der oberhalb der Oberfläche der Isolierschicht steht, zurückgeschliffen. Der Schleifprozess kann mittels der sog. CMP Technik erfolgen (CMP = Chemisch-Mechanische Planarisierung bzw. Chemical-Mechanical Polishing). Es entstehen dabei beispielsweise Leiterbahnen und/oder Kontaktlöcher, die mit den Elektrodenmaterialien gefüllt und in die Isolierschicht eingebettet sind bzw. exakt die gleiche Höhe haben wie die Isolierschicht.

Die Lage 2 der unteren Elektrode (U2) ist vorzugsweise Kupfer oder kupferhaltig und bildet mit dem organischen Material, was nachfolgend aufgebracht wird, die entsprechende Verbindung. Sie kann auch silberhaltig sein. Das organische Material kann z. B. in einem Lösungsmittelgemisch auf die Elektrode aufgebracht werden. Wenn das organische Material TCNQ ist, wird vorzugsweise ein Lösungsmittelgemisch aus mindestens zwei Lösungsmitteln verwendet, wobei eines davon vorzugsweise Acetonitril oder Propionitril oder ein anderes Lösungsmittel ist, welches -CN Gruppen enthält. Das zweite Lösungsmittel ist vorzugsweise ein Keton, ein Alkohol, ein Ester, ein Aromat, ein Aliphat bzw. Cycloaliphat oder ein Ether sowie deren Mischungen. Geeignet sind z. B. Aceton, Diethylketon, Cyclohexanon, Cyclopentanon, Butanon, Cyclohexan, gamma-Butyrolacton, Essigsäureethylester, Ethoxyethylacetat, Methoxypropylacetat, Ethoxyethylpropionat, Ethylalkohol, Propylalkohol, iso-Propanol, Dibutylether, Tetrahydrofuran, Chlorbenzol, Benzylalkohol. Die Dauer dieser Behandlung kann zwischen 10 Sekunden und 10 Minuten liegen. Die Behandlungstemperatur beträgt, je nach Eigenschaften der Lösungsmittel, zwischen -20

und 100°C. Lösungsmittelmischungen eignen sich auch für viele Substanzen, die in der Tabelle 1 erwähnt sind. Der Anteil des Lösungsmittels, das die -CN Gruppe enthält, beträgt 0.01 bis 65 Vol%. Sein Anteil hängt von der Zusammensetzung der gesamten Lösung ab. Diese Lösung kann auch mehr wie zwei Lösungsmittel enthalten, ebenfalls auch mehr wie ein organisches Material (d.h. Material X).

10 Danach wird mit einem der oben genannten Lösungsmittel, wie zum Beispiel Aceton, gespült. Dieser Spülschritt dient insbesondere dazu, das überschüssiges TCNQ von dem Substrat zu entfernen, so dass nur die gebildete Verbindung im Bereich der Elektrode verbleibt, da nur in diesem Bereich die Verbindung gebildet werden kann.

15

Das organische Material kann auf die untere Elektrode auch aufgedampft werden. Nach dem Aufdampfen ist es notwendig, das Substrat einer thermischen Behandlung zu unterziehen, um die Verbindung herzustellen. Erst nach dieser Temperaturbehandlung, kann das Substrat mit einem Lösungsmittel gespült werden, um das überschüssige TCNQ zu entfernen. Wenn das organische Material auf die Elektrode aufgedampft wird, ist es vorteilhaft, wenn die Aufdampfzeit zwischen 2 bis 30 Min. liegt. Der zu verwendende Druck liegt in einem Bereich zwischen 25 0,000001 bis 200 mbar und das Aufdampfen wird bei einer Substrattemperatur zwischen -50 bis 150 °C durchgeführt. Es ist auch möglich, dass nicht nur eines, sondern zwei oder mehr organische Materialien X gleichzeitig oder hintereinander auf die Elektrode aufgedampft werden.

30

Die Eigenschaften der Halbleiteranordnung mit der Speicherzelle können noch verbessert werden, wenn die gebildete Verbindung bei einer nach dem oben beschriebenen Verfahren hergestellten Zelle nachbehandelt wird, und zwar vorzugsweise unmittelbar nach der Bildung der Verbindung, manchmal auch während der Bildung der Verbindung. Die Nachbehandlung erfolgt durch Inkontaktbringen einer Lösung eines Nachbehandlungsreagens mit der Verbindung. Als das Nachbehandlungsreagens kommen insbesondere Amine, Amide, Ether, Ketone, Carbonsäuren, Thioether, Ester, Aromaten, Heteroaromaten, Alkohole oder verschiedene schwefel- oder selenhaltige Verbindungen wie z.B. Schwefel-Heterocyclen, Verbindungen mit -SO- Gruppen oder Thiole in Frage, jedoch ist die Anzahl der geeigneten Reagenzien nicht nur auf solche beschränkt. Die Reagenzien können außerdem neben gesättigten auch ungesättigte Gruppen enthalten. Beispiele für Nachbehandlungsreagenzien sind Diethylamin, Triethylamin, Dimethylanilin, Cyclohexylamin, Diphenylamin, Dimethylformamid, Dimethylacetamid, Dimethylsulfoxid, Aceton, Diethylketon, Diphenylketon, Benzoesäurephenylester, Benzofuran, N-Methylpyrrolidon, gamma-Butyrolacton, Toluol, Xylol, Mesitylen, Naphthalin, Anthracen, Imidazol, Oxazol, Benzimidazol, Benzoxazol, Chinolin, Chinoxalin, Fulvalene, Furan, Pyrrol, Thiophen oder Diphenylsulfid. Die Behandlungszeit beträgt vorzugsweise zwischen 15 s bis 15 Min. bei einer Temperatur von vorzugsweise -30 bis 100 °C, entweder in Luft oder unter einem Inertgas, wie z. B. Stickstoff oder Argon.

Erfahrungsgemäß kann das Nachbehandlungsreagenz mit in die Speicherzelle eingebaut werden bzw. sie kann sich an die Zelle anlagern. Die Existenz des Nachbehandlungsreagenz kann

Infineon Technologies AG

2003P50987 DE

2003 E 50986, 50988, 50989, 51002, 51005,
51006, 51007, 51008, 51009 DE

12585

19

beispielsweise nach der Thermodesorption bei höheren Temperaturen mittels Gaschromatographie GC bzw. Massenspektroskopie MS nachgewiesen werden. Überraschenderweise können bereits sehr geringe Mengen (ab wenige ppm) des eingebauten oder an-
5 gelagerten Nachbehandlungsreagenz deutliche Verbesserungen der Eigenschaften der Speicherzelle verursachen. Der Einbau des Nachbehandlungsreagenz ist jedoch keine Notwendigkeit zur Verbesserung der Eigenschaften, u. U. genügt hierzu auch eine Nachbehandlung, ohne dass mittels GC oder MS ein Einbau nach-
10 gewiesen wird.

Alternativ kann die Verbindung mit gasförmigen (bzw. Dampf) Nachbehandlungsreagens in Kontakt gebracht werden. In Luft oder unter einem Inertgas, wie z. B. Stickstoff oder Argon,
15 verläuft die Nachbehandlung bei einem Druck von 0,00001 bis 1000 mbar bei einer Substrat-Temperatur zwischen -30 und 150 °C. Anschließend kann ein Temperaturschritt folgen, ist aber nicht in jedem Fall notwendig.

0 Eine so nachbehandelte Zelle hat eine verbesserte (d. h. geringere) Schwellspannung beim Schalten der Zelle um bis zu 40 %, ein Verhältnis zwischen dem ON- und OFF-Zustand, das zehnmal so hoch ist als bei einer nicht nachbehandelten Zelle, eine um bis zu hundertfach höhere Endurance sowie verbes-
25 serte Imprint Charakteristik und eine Verbesserung der Schichthaftung um bis zu 20 %.

Einige der „Nachbehandlungsreagenzien“ können aber auch gleichzeitig mit dem Material X aufgedampft werden oder auch
30 direkt hintereinander (sie bringen ebenfalls die o.g. Vortei-

le), so dass sie gemeinsam dem anschließenden Temperaturschritt unterworfen werden.

In einem weiteren Aspekt betrifft die Erfindung ein Integrationskonzept für eine Halbleiteranordnung mit mehreren erfindungsgemäßen Zellen. Die erfindungsgemäße Zelle kann in der Halbleiteranordnung zwischen einer Wortleitung und einer Bitleitung, die sich senkrecht kreuzen, liegen. Die Schaltung der Zelle in den ON- bzw. OFF-Zustand, erfolgt dann, indem an die Wortleitung und die Bitleitung entsprechende Spannungen angelegt werden. Damit kann der Zustand der Zelle verändert werden. Die ON bzw. OFF Zustände entsprechen beispielsweise den Zuständen mit niedrigerem bzw. höherem elektrischen Widerstand.

In der Regel werden die Elektroden so hergestellt, dass sie als Wort- oder Bitleitung dienen. Es kann aber auch sein, dass eine (zusätzliche) Lage der oberen und/oder unteren Elektrode nur im Bereich der Zelle - in direktem Kontakt mit der Verbindung - aufgebracht wird, d. h. nicht entlang der ganzen Leiterbahn (Wort oder Bitleitung). Dies betrifft insbesondere das weiter unten beschriebene Via Konzept.

Bei einem "Cross-Point"-Aufbau liegen die einzelnen Speicherzellen direkt zwischen sich kreuzenden und Bit- bzw. Wortleitungen bildenden Leiterbahnen. Zur Erzeugung der einzelnen Zellen können beispielsweise die unteren Elektroden vollständig mit der Verbindung bedeckt und die oberen Elektroden darauf aufgebracht werden. Somit entstehen an den Kreuzungspunkten die Cross Point Zellen, deren Größe allein durch die jeweiligen Breiten der Elektroden definiert sind. Es ist aber

auch möglich, dass die unteren Elektroden nicht vollständig mit der Verbindung bedeckt werden, sondern nur an den Stellen, wo die Crosspoint-Zelle entsteht. Dies wird entweder durch das Integrationsverfahren, wie später beschrieben wird, oder durch eine direkte Strukturierung der Verbindung möglich.

Bei diesem Crosspoint-Aufbau können ohne Weiteres mehrere Ebenen derartiger Speicherzellen in übereinander gestapelten Speicherzellenfeldern vorgesehen werden. Jede „Ebene“ eines solchen Speicherzellenfeldes enthält dann die dazugehörigen obere(n) und unteren Elektroden sowie die dazwischen liegende Verbindung. Es ist möglich, dass eine Elektrode von zwei Ebenen gemeinsam genutzt wird, z. B. die obere Elektrode der ersten Ebene kann gleichzeitig als die untere Elektrode der darüber liegenden zweiten Ebene dienen. Voraussetzung ist natürlich, dass diese Elektrode aus mindestens zwei geeigneten Lagen besteht. Zwischen zwei Ebenen kann auch je nach Erfordernis eine Isolierschicht eingebracht werden.

Damit sind sehr hohe Integrationsdichten erreichbar, wobei die sog. „Bitgröße“ in der Größenordnung von $4F^2/n$ liegt, wobei n die Anzahl der einzelnen, übereinander gestapelten Ebenen von Speicherzellenfeldern ist und F die Breite (kleinstmögliche Struktur der verwendeten Technologie) bedeutet.

Als Alternative zum oben genannten Cross Point Konzept kann man direkt über der unteren Elektrode - z. B. in einer Isolierschicht - Kontaktlöcher erzeugen und die Verbindung dann in dem Kontaktloch direkt auf der unteren Elektrode bilden.

Die Größe der Zelle ist dann durch die Größe des Kontaktloches definiert (sog. „Via Konzept“).

Die Beispiele für das Integrationskonzept werden in den nachfolgend beschriebenen Figuren erläutert. Es zeigen:

Fig. 1a ein Via-Konzept, bei dem die Größe der Zelle genau definiert ist und von der Größe (d. h. Breite) der sich kreuzenden Leiterbahnen nicht abhängig ist;

Fig. 1b ein Integrationskonzept, bei dem eine Zellengröße von ca. $4F^2$ erreichbar ist (Cross-point Konzept);

Fig. 1c ein weiteres Integrationskonzept mit übereinander gestapelten Ebenen und einer Bitgröße von ca. $4F^2/n$; mit n = Anzahl der Ebenen

Fig. 2 bis 10 Schritte, die zum Integrationskonzept gemäß Fig. 1a führen.

Fig. 11 bis 22 Schritte, die zum Integrationskonzept gemäß Fig. 1b führen

Fig. 23 bis 27 Schritte, die zu einem alternativen Crosspoint-Aufbau führen, wobei die Verbindung nur im Bereich der Crosspoint-Zelle erzeugt wird (und nicht entlang einer ganzen Elektrode wie im Fig. 14)

Fig. 28 bis 44 detaillierte Darstellung des erfindungsgemäßen Verfahrens

Fig. 2 zeigt eine Siliziumscheibe, bei der die FEOL-Prozesse abgeschlossen und anschließend die dort aufgezeichneten Lagen aufgebracht sind. K1 bezeichnet einen Kontakt (Kontaktloch gefüllt mit einem Leitermaterial, vorzugsweise aus Wolfram),
5 B die Lage 1 der unteren Elektrode (d. h. U1 entsprechend der vorherigen Skizze), C eine Deckschicht, I eine Isolierschicht und M eine Leiterbahn. Die Leiterbahnen M1 oder M2 bestehen, beispielsweise aus Lage 1 (=B, z. B. Tantal) und Lage 2 (z. B. Kupfer).

10 K2 bezeichnet einen Kontakt, d. h. ein Kontaktloch, das mit den gleichen Materialien gefüllt wurde wie die Leiterbahn M2. Dies erfolgt z. B. im Dual Damascene Prozess, bei dem zuerst
15 die Lage 1 gleichzeitig in Kontaktlöcher K2 und Gräben abgeschieden wird und anschließend die Lage 2. Die ausgefüllten Gräben bilden dann die Leiterbahnen bzw. Elektroden. Die Lage 1 kann auch bevorzugt aus zwei oder mehr Schichten bestehen, z. B. Tantalnitrid und Tantal.

20 Die Deckschicht C ist vorzugsweise Si, TiNSi, SiON, SiO, SiC, SiN, SiCN sowie eine beliebige Kombination dieser Schichten bzw. Materialien.

25 D ist entweder eine Kombination aus zwei aufeinander liegenden Kontakten oder einem Kontakt und einem Pad, um den elektrischen Kontakt zum Substrat und/oder zu den oberen Ebenen herzustellen.

30 Auch wenn das Substrat in Fig. 2 als Siliziumscheibe bezeichnet wurde, kann das Substrat auch eines der früher beschriebenen Alternativen sein. Auf einem solchen Substrat, wie es

in Fig. 2 beschrieben ist, wird dann eine Isolierschicht, vorzugsweise Siliziumoxid aufgebracht.

Fig. 3 zeigt, wie in dieser Isolierschicht mittels Photolithografie und Ätzung entlang der Leiterbahnen die Kontaktlöcher L geöffnet werden, um zu dem Aufbau wie in der Fig. 3a dargestellt zu gelangen. Die Deckschicht unter den Kontaktlöchern wird ebenfalls geöffnet, so dass dort beispielsweise die Kupferoberfläche frei wird. Nachdem die Kupferoberfläche freigelegt wurde, kann das organische Material aufgebracht werden, um die Verbindung herzustellen.

Fig. 4 zeigt, wie auf die Substratoberfläche das organische Material, in dem speziellen Fall TCNQ, abgeschieden wird (Fig. 4 bezieht sich auf die Vakuumbedampfung). Die Abscheidung von TCNQ kann mittels eines Vakuumprozesses, wie zum Beispiel Bedampfung oder durch eine Lösung von TCNQ erfolgen. Die genauen Parameter, wie das organische Material auf die Elektrode aufgebracht wird, sind im allgemeinen Teil der Anmeldung beschrieben. Wenn das organische Material aus dem Lösungsmittel mit der Elektrode kontaktiert wird, bildet sich selektiv nur über der Elektrode die erwünschte Verbindung. Falls das organische Material aber mittels Bedampfung auf die Elektrode abgeschieden wird, muss eine Temperaturbehandlung erfolgen, um die Verbindung herzustellen.

Fig. 5 zeigt, wie die Verbindung entweder nach der Temperaturbehandlung, falls das organische Material aufgedampft wird, oder unmittelbar nach dem Inkontaktbringen der Lösung des organischen Materials mit der Elektrode selektiv in den

Kontaktlöchern gebildet wird. Die Isolierschicht reagiert mit TCNQ nicht.

Fig. 6 zeigt die Substratoberfläche nach der Spülung mit einem Lösungsmittel, wie zum Beispiel Aceton. Das Lösungsmittel entfernt das überschüssige organische Material, das keine Verbindung gebildet hat. Dazu kann die Substratoberfläche durch Tauchen, Sprühen oder Schleudern (im Spincoater) gespült werden. Damit sind die Dimensionen der Zelle eindeutig definiert und benachbarte Zellen voneinander durch die Isolierschicht isoliert.

Fig. 7 zeigt, wie eine weitere Lage Isolierschicht aufgebracht werden kann, und insbesondere wie die - neu entstandene - Substratoberfläche für die Herstellung der Leiterbahnen strukturiert werden kann. Dies kann unter Verwendung gängiger lithographischer Techniken und anschließender Ätzung geschehen. Vorzugsweise erfolgt die Strukturierung durch die gängige Dual-Cu-Damascene-Strukturierung. Hierbei werden die Gräben (Trenches) und Kontaktlöcher gleichzeitig mit den Materialien der entsprechenden Lagen gefüllt und anschließend geschliffen. Nach dem Aufbringen der Deckschicht erhält man den in Fig. 8 dargestellten Aufbau.

Die Lage B ist vorzugsweise aus Tantalnitrid oder eine Kombination aus Tantal und Tantalnitrid. Die in der Fig. 8 hergestellten Bahnen M2 und M3 stehen senkrecht zueinander. Dadurch erhält man die Struktur, die in der Fig. 1a dargestellt wird (mit M2 als Bottom Elektrode, M3 als Top Elektrode).

Durch Aufbringen einer weiteren Lagen der Isolierschicht und die Wiederholung der Schritte, die in den Fig. 3 bis 8 erläutert wurden, erhält man einen Aufbau, der in Fig. 9 dargestellt ist. Die Leiterbahn M3 kann sowohl als obere Elektrode für die untere Zelle als auch als untere Elektrode für die obere Zelle dienen. M4 ist die obere Elektrode der oberen Zelle und steht senkrecht zu M3. Der in Fig. 9 dargestellte Aufbau ist ähnlich wie Fig. 1c, mit dem Unterschied, dass Fig. 1c einen Stack (Aufbau mit mehr als einer Zellebene) auf der Basis des Cross Point Konzepts zeigt und Fig. 9 einen Stack auf der Basis des Via Konzepts. Der Vorteil des letzteren Aufbaus besteht darin, dass die Zellengröße genau definiert ist und, dass die seitliche Isolierung der einzelnen Speicherzellen durch die Isolierschicht das Übersprechen der benachbarten Zellen verhindert. Der Nachteil dieses Aufbaus besteht aber darin, dass die Bitgröße mehr als $4F^2/n$ beträgt (geringere Integrationsdichte).

Fig. 10 zeigt, wie weiter prozessiert werden müsste, um zwischen der ersten und zweiten Zellebene eine Isolierschicht anzubringen (d. h. M3 würde dann nicht mehr als gemeinsame Elektrode für zwei Zellen dienen). Nach dem Aufbringen der Deckschicht auf das Substrat gemäß Fig. 10 würde man entsprechend Fig. 3 bis 8 prozessieren, um die nächste Zellebene herzustellen.

Fig. 11 bis 19 zeigen ein Integrationskonzept für die Halbleiteranordnung gemäß der vorliegenden Erfindung, wobei das Integrationskonzept eine Bitgröße von $4F^2/n$ ermöglicht.

Fig. 11 zeigt ein Substrat ähnlich wie in der Fig. 2. Fig. 2 und Fig. 11 machen deutlich, dass das Substrat unterschiedlich sein kann. Es ist auch möglich, mit einem Substrat wie in Fig. 2 dargestellt, anzufangen. Fig. 11a zeigt die Draufsicht der in Fig. 11 dargestellten Struktur.

Wie in Fig. 2 schon beschrieben kann das Substrat entweder eine Siliziumscheibe oder Silizium, Germanium, Galiumarsenid, Galiumnitrid; ein beliebiges Material, das eine beliebige Verbindung von Silizium, Germanium oder Galium enthält; ein Polymer, Keramik, Glas oder Metall sein.

Wie in der Fig. 12 dargestellt, wird die Deckschicht C mittels Fotolithografie und Ätzung geöffnet, um die Leiterbahnen freizulegen. Über diesen Leiterbahnen soll später die Verbindung gebildet werden.

Die Fig. 13 zeigt den Aufbau, nachdem das organische Material X abgeschieden wird. Die Verbindung hat sich über der Leiterbahn noch nicht gebildet, da das organische Material mittels eines Vakuumverfahrens aufgedampft wurde. Erst nachdem das so erhaltene Substrat einer Temperaturbehandlung unterzogen wurde, bildet sich über der Leiterbahn die Verbindung. Da die Verbindung zwischen dem Metall, z. B. Kupfer, und dem organischen Material selektiv nur über dem Metall gebildet wird (Fig. 14), kann die Öffnung in der Deckschicht größer sein als die Breite der Leiterbahn M1 wobei auch die Overlay-Toleranzen bei der Photolithographie berücksichtigt werden sollen. Das organische Material kann, wie vorstehend beschrieben, entweder mittels eines Vakuumprozesses oder durch die Behandlung mit einem Lösungsmittel aufgebracht werden.

Falls das organische Material im Lösungsmittel auf das Substrat aufgebracht wird, entfällt die in der Fig. 13 gezeichnete Struktur.

- 5 Das Substrat wird dann zum Beispiel mit Aceton gespült, um das überschüssige organische Material zu entfernen. Das Ergebnis dieses Schrittes ist in der Fig. 15 beschrieben. Die trapezförmige Struktur der Verbindung ist nur schematisch. Nachdem sich die Verbindung über die gesamte Länge der Leiterbahn gebildet hat, wird eine Lage Isolierung aufgebracht und geschliffen, z. B. mittels CMP, um zum in Fig. 16a gezeichneten Aufbau zu gelangen.
- 10

- Dann können entsprechend Fig. 16b unter Verwendung gängiger Litho- und Ätztechniken Kontaktlöcher für die Kontakte sowie Gräben für die Leiterbahnen geöffnet werden. Die Leiterbahnen, die nun gebildet werden sollen, verlaufen quer zu den in der Fig. 11 als M1 gezeichneten Leiterbahnen. Die Strukturierung kann zum Beispiel mittels Dual-Cu-Damascene-Strukturierung erfolgen. In der Fig. 16b ist T1 entweder ein Kontaktloch oder ein Graben für ein Pad und L ein Kontaktloch. T2 ist ein Graben für eine Leiterbahn, die über dem Kontaktloch eine Aufweitung mindestens um den Betrag der Justiertoleranzen zeigen muss. Fig 16c zeigt die Draufsicht der in Fig. 16b dargestellten Struktur. Der schraffierte Bereich zeigt die Fläche, wo die ausgebildete Verbindung durch den erzeugten Graben T2 sichtbar wird.
- 15
- 20
- 25

- Wie in Fig. 17 gezeigt, können durch die Dual Cu-Damascene-Technik die Gräben und Löcher gefüllt und planarisiert werden. B ist hier die Lage 1 der oberen Elektrode, die vorzugs-
- 30

weise aus Tantalnitrid oder einer Kombination aus Tantal und Tantalnitrid besteht. Vorzugsweise Kupfer bildet die Lage 2 der oberen Elektrode. In der Fig. 17 stehen die Bahnen M1 und M2 senkrecht zueinander. Somit werden die Speicherzellen überall an den Stellen definiert, wo sich die Bahnen kreuzen. D ist entweder eine Kombination aus zwei Kontakten K oder aus einem Kontakt und einem Pad, und dient dazu, die verschiedenen Leiterbahnen in verschiedenen Ebenen mit dem Substrat zu verdrahten.

Durch Aufbringung einer weiteren Deckschicht und anschließender Wiederholung der in den Fig. 12 bis 17 dargestellten Schritte erhält man den Aufbau, der in der Fig. 18 dargestellt ist. In dieser Fig. kann die Leiterbahn M2 (bestehend beispielsweise aus Ta und Cu oder Ta, TaN und Cu) sowohl als obere Elektrode für die untere Zelle als auch als untere Elektrode für die obere Zelle dienen. M3 ist, die obere Elektrode der oberen Zelle und steht senkrecht zu M2. Der in Fig. 18 dargestellte Aufbau entspricht Fig. 1c.

Wie die Fig. 19 zeigt, muss eine Leiterbahn, wie zum Beispiel M2, nicht unbedingt als Elektrode für obere und untere Zellen dienen. Es ist auch möglich, dass man auf der Leiterbahn M2 keine Verbindung bildet, sondern eine Deckschicht und dann eine Isolierschicht aufbringt und zuerst die Leiterbahnebene M3 erzeugt und kontaktiert. Nach Aufbringen einer weiteren Deckschicht kann man entsprechend Fig. 12 fortfahren. In einem solchen Aufbau dient jede Leiterbahn entweder nur als obere oder als untere Elektrode, d. h. keine gemeinsamen Elektroden für zwei übereinander liegende Zellebenen.

Der Vorteil dieses Konzepts ist, dass eine Bitgröße von $4F^2/n$ erreicht werden kann. Der Nachteil ist aber, dass das organische Material über die gesamte Leiterbahn abgeschieden wird, so dass die Zellen nicht durch ein Dielektrikum voneinander getrennt sind. Das führt dazu, dass die Zellen nur in einer Richtung (z. B. x-Richtung) voneinander durch Dielektrikum getrennt sind, aber nicht in y-Richtung, d. h. entlang der Leiterbahn.

- 10 Die nachfolgende Ausführungsform zeigt eine Alternative zur Herstellung des Integrationskonzepts gemäß Fig. 11 bis 18 bzw. 19. In dieser Ausführungsform wird, nach dem in der Fig. 15 dargestellten Schritt eine Isolierschicht abgeschieden und bis auf die Höhe der gebildeten Verbindung zurückgeschliffen, was den Aufbau ergibt, der in Fig. 19a dargestellt ist. Da-
- 15 nach wird das Substrat mittels z. B. Argonplasma, für ca. 20 s bis 5 Min. geätzt. Dabei wird die Verbindung wesentlich schneller geätzt als die Isolierschicht, so dass zwischen der Verbindungsschicht und der Isolierung ein Höhenunterschied erzeugt wird wie in Fig. 20 dargestellt. Diese selektive Ät-
- 20 zung kann auch auf nasschemischem Wege erfolgen, zum Beispiel durch Behandlung des Substrats mit einer Mischung aus Ammoniak und einem Lösungsmittel, wie zum Beispiel Dimethylformamid. Der Zweck dieses Schritts ist, Platz zu schaffen für ei-
- 25 ne weitere Schutzschicht SC, die auf die Verbindung abgeschieden wird. Diese Schutzschicht wird zunächst vollflächig abgeschieden, wie in Fig. 21a dargestellt, aber nach chemisch-mechanischem Planarisieren (CMP) bleibt diese Schicht nur über der Leiterbahn M1 bzw. über der Verbindung erhalten
- 30 (Fig. 21b). Diese Schicht besteht vorzugsweise aus dem gleichen Material wie die obere Elektrode bzw. die Lage 1 der o-

berer Elektrode, falls die obere Elektrode aus mehreren Lagen besteht. Sie kann jedoch auch aus einer der anderen bereits erwähnten Elektrodenmaterialien bestehen. Anschließend wird eine weitere Isolierschicht aufgebracht, um zum Aufbau wie in
5 Fig. 21c dargestellt zu gelangen.

Wie in Fig. 22 dargestellt, können mittels gängiger Litho- und Ätztechniken, wie z. B. Dual Damascene-Technik, Kontaktlöcher für die Kontakte sowie Gräben für die Leiterbahnen
10 bzw. Pads geöffnet werden, wie schon in der Fig. 16b beschrieben ist. Nach Abscheidung und Schleifen der Elektrodenmaterialien erhält man die Struktur ähnlich wie in Fig. 17, mit dem Unterschied, dass im vorliegenden Fall (Fig. 22a) die Schicht B über der Verbindung etwas dicker ist. Für weiteren
15 Aufbau kann man wieder eine Deckschicht aufbringen und dann entsprechend Fig. 15 weiter verfahren und zu einem Aufbau kommen wie z. B. in Fig. 18 bzw. 22b dargestellt. Wenn als Schutzschicht SC das gleiche Material verwendet wird wie für die Schicht B, ist die Schicht B in Fig. 22b dicker als in Fig. 18. Wenn für die Schichten B und SC verschiedene Materialien verwendet werden, erhält man zwei Schichten, wie in Fig. 22b dargestellt. Der in Fig. 22b gezeichnete Aufbau entspricht dem Aufbau der Fig. 18 mit einer zusätzlichen SC-Schicht.

25

Das Integrationskonzept gemäß Fig. 19a bis 22b bzw. 22c unterscheidet sich von dem in Fig. 11a bis 19 dargestellten Verfahren durch das Aufbringen der Schutzschicht selektiv auf die Verbindung. Das hat insbesondere den Vorteil, dass die
30 Verbindung durch diese Schutzschicht, z. B. während der Ätzprozesse geschützt ist.

Die nachfolgende Ausführungsform zeigt eine Alternative zur Herstellung eines Integrationskonzeptes für die erfindungsgemäße Halbleiteranordnung. In dieser Ausführungsform wird auf die erste Leiterbahn, die auch die untere Elektrode für die erfindungsgemäße Zelle darstellt, eine Isolierschicht abgeschieden, und erst danach die Verbindung gebildet (d. h. der in der Fig. 16a durchgeführte Schritt erfolgt vor dem in der Fig. 13 bzw. 14 durchgeführten Schritt). Dieses Konzept resultiert in einer Verringerung der Prozesskomplexität.

Auf das Substrat in der Fig. 23, das näherungsweise den Fig. 2 und 11a entspricht, wird zuerst eine Deckschicht C(Cap), dann eine Isolierschicht, vorzugsweise aus Siliziumdioxid aufgebracht, um zu dem Aufbau wie in Fig. 24 dargestellt zu gelangen. Anschließend werden in diese Isolierschicht mittels Fotolithographie und Ätzung die Gräben für die späteren Leiterbahnen geöffnet, wie in der Fig. 25 dargestellt. Die Deckschicht unter den Gräben wird ebenfalls geöffnet, so dass an den Stellen, wo sich die (oberen) Gräben mit den (darunter liegenden) Kupferbahnen kreuzen, die Kupferoberfläche frei wird.

Auf diese Substratoberfläche wird dann entweder mittels eines Vakuumprozesses oder durch Behandlung mit einer Lösung des organischen Materials das organische Material auf die Kupferoberfläche abgeschieden bzw. die Verbindung gebildet. Falls das Abscheiden des organischen Materials durch eine Vakuumtechnik durchgeführt wird, muss eine Temperaturbehandlung erfolgen, die z. B. auf einer Heizplatte oder im Ofen durchgeführt werden kann, so dass selektiv über Kupfer die Verbin-

38
dung gebildet wird, wie in der Fig. 26 dargestellt, da die Isolierschicht mit dem organischen Material nicht reagiert.

Die Substratoberfläche wird dann mit einem Lösungsmittel, wie
5 zum Beispiel Aceton, gespült. Das kann durch Tauchen, Sprühen
oder im Spincoater erfolgen. Somit sind die Dimensionen der
Zelle eindeutig definiert und benachbarte Zellen voneinander
durch die Isolierschicht getrennt, wie in der Fig. 26 darge-
stellt. In diesem Fall wird die Verbindung nicht entlang der
10 ganzen Leiterbahnen, sondern nur örtlich an den Kreuzungs-
punkten gebildet.

Anschließend werden die Gräben mit dem Elektrodenmaterial
bzw. -materialien (wenn die Elektrode aus mehr wie einer
15 Schicht besteht) gefüllt. Danach kann optionell geschliffen
werden. Fig. 27a und 27b zeigen die beiden Möglichkeiten,
d. h. mit und ohne Schleifen (Polieren) der oberen Elektrode.

Durch Aufbringen einer Deckschicht und anschließender Wieder-
holung der in den Fig. 24 bis 27 dargestellten Schritte kommt
man zum Aufbau, der im Wesentlichen dem in Fig. 1c darge-
stellten Integrationskonzept entspricht.

Der Vorteil dieses Integrationskonzepts ist, dass eine exakte
25 Definition der Zelldimensionen der Speicherzellen möglich
ist, so dass das Übersprechen zwischen den Zellen weitgehend
unterbunden ist. Damit ist es möglich, ein Integrationskon-
zept mit der Bitgröße $4F^2/n$ zu erzielen.

30 Es ist anzumerken, dass die in der Beschreibung offenbarten
Einzelschichten aus mehreren Schichten bestehen können, falls

es wünschenswert ist. Die in den Fig. 28 bis 36 dargestellten Strukturen erläutern näher, wie die Einzelschichten aufgebaut werden können.

- 5 Fig. 28 zeigt den Unterbau, bei dem FEOL- und MOL-Prozesse durchgeführt sind und als Abschluss mit Kontakten K1 versehen sind. Die Kontakte K1 bestehen vorzugsweise aus Wolfram.

- 10 Der Aufbau entsprechend Fig. 28 ist lediglich eine Alternative, die als Substrat für den angestrebten Aufbau mit den erfindungsgemäßen Speicherzellen dienen kann.

- 15 Auf das Substrat wird eine Isolierschicht (J1), vorzugsweise SiO₂ aufgebracht. Gegebenenfalls kann auf die Isolierschicht J1 noch eine Cu CMP-Stopp-Schicht S1 aus z. B. Siliziumcarbid (SiC) und zu deren Schutz während des Lithographieprozesses noch eine weitere Schutzschicht J2, die vorzugsweise wieder aus SiO₂ besteht, aufgebracht werden. Der Zustand nach dem Abscheiden der Schichten J1, S1 und J2 ist in Fig. 29 dargestellt.

- 25 Die Schichten J1, S1 und J2 werden mittels Fotolithographie und RIE (Reactive Ion Etching) strukturiert, wodurch die Freilegung der Kontakte K1 erfolgt, wie in Fig. 30 dargestellt.

- 30 Über einen Standard Cu-Damascene-Prozess wird die zweilagige untere Elektrode aufgebracht. Zuerst erfolgt die Abscheidung der Barrierelage B1, die aus gängigen Barrierematerialien oder deren Kombination besteht. Nach dem Aufbringen der Cu Seed Layer wird Kupfer über einen ECD (Electrochemical Depo-

sition)-Prozess abgeschieden und unter Umständen anschließend thermisch nachbehandelt. Daraufhin erfolgt das chemisch mechanische Polieren von Kupfer und von der Barrierschicht, wobei eine hohe Selektivität zwischen dem Kupfer und dem Barriere-CMP notwendig ist. Die CMP-Stoppschicht S1 ist notwendig, um einen selektiven Barriere-CMP-Prozess zur gewährleisten. Anderenfalls muss der CMP-Prozess unselektiv durchgeführt werden. Die so erhaltene Struktur ist in Fig. 31 dargestellt.

Auf die so generierte Lage der Leiterbahn (M1) kann eine Kupfer-Diffusionsbarriere S4, vorzugsweise aus HDP (High Density Plasma) Si und N aufgebracht werden (in Figs. 31 bzw. 32 nicht gezeigt, jedoch später in Fig. 41). Es wird dann eine Isolierschicht J3, die vorzugsweise aus SiO aufgebracht. Gegebenenfalls kann auf die Dielektrikumslage eine CMP-Stoppschicht S2 aus z. B. SiC aufgebracht, und zu deren Schutz während des Lithographieprozesses noch eine weitere Schutzschicht J4 abgeschieden werden. Die Schutzschicht J4 besteht ebenfalls aus SiO. Die so erhaltene Struktur ist in Fig. 32 dargestellt.

In folgenden Schritt werden Gräben erzeugt, die in dieser Ebene im 90° Winkel zu den M1-Bahnen in der vorhergehenden Ebene stehen. Die erzeugten Gräben werden in der Fig. 33 abgebildet. Die Schichten S2 und J3 und gegebenenfalls J4 werden mittels Lithographie und RIE (Reactive Ion Etching) strukturiert, wodurch die M1-Bahnen teilweise freigelegt werden. Auf den freigelegten Stellen der M1-Bahnen wird nun das organische Material durch ein Verfahren wie in den vorhergehenden Ausführungsformen beschrieben abgeschieden, um die erfin-

41

dungsgemäße Verbindung zu erreichen. Die so erzeugte Struktur ist in Fig. 34 dargestellt. Sie entspricht Fig. 26, mit dem Unterschied, dass in Fig. 34 mehr Details der Schichten gezeigt sind. Anschließend kann z.B. wie in Fig. 27a fortgefahren werden. Nach Aufbringen der benötigten Anzahl von Ebenen entspr. Figs. 24-27a kann der Aufbau einer abschließenden (obersten) Leiterbahn M2 erfolgen, z.B. über eine ganzflächige Abscheidung von geeigneten Elektrodenmaterialien. Als Elektrodenmaterialien können in diesem Fall gängige Materialien, wie z. B. Ti/AlCu/TiN verwendet werden. Die erhaltene Struktur ist in Fig. 35 abgebildet. Die Strukturierung wird hier durch einen RIE-Prozess.

Als letzte Lage wird eine Standard-Passivierungsschicht P (z.B. SiO, SiN, SiON, SiC sowie beliebige Kombinationen dieser Schichten) abgeschieden und die Bondpads geöffnet. Die erhaltene Struktur ist in Fig. 36 abgebildet.

Die nachfolgenden Figuren zeigen eine Variante des in Fig. 11 bis 19 beschriebenen Konzepts, wobei nachfolgend ein detaillierter Schichtaufbau gezeigt wird.

Auf das Substrat wird eine Isolierschicht J1 aufgebracht, vorzugsweise aus SiO. Gegebenenfalls kann auf die Isolierschicht J1 noch eine Cu-CMP-Stoppschicht S1, z. B. aus SiC und zu deren Schutz während des Lithographieprozesses noch Schutzschicht J2, vorzugsweise wieder aus SiO abgeschieden werden. Die so erhaltene Struktur entspricht der in Fig. 37 abgebildeten Anordnung. Das Dielektrikum wird strukturiert, um zu einem Aufbau wie in Fig. 38 dargestellt zu gelangen.

Über einen Standard Cu-Damascene-Prozess wird die Leiterbahn, die die untere Elektrode bildet abgeschieden. Die untere Elektrode besteht, wie oben beschrieben, aus mindestens zwei Lagen. Zur Herstellung der Leiterbahn M1 erfolgt die Abscheidung der Barrierelage B1 aus gängigen Barrierematerialien bzw. deren Kombination. Nach Aufbringung der Cu Seed Layer wird Cu über einen ECD (Electrochemical Deposition)-Prozess abgeschieden und unter Umständen anschließend thermisch nachbehandelt. Daraufhin erfolgt das chemisch mechanische Polieren der Kupferschicht und der Barrierschicht, wobei eine hohe Selektivität zwischen dem Kupfer- bzw. Barrieren-CMP notwendig ist. Der Aufbau ist in Fig. 39 dargestellt.

Das organische Material kann nun selektiv auf die Leiterbahn abgeschieden werden, wie schon bei Figs. 13-15 erläutert. Die so erhaltene Struktur ist in Fig. 40 abgebildet. Die Abscheidung des organischen Materials kann wie in Fig. 13 beschrieben erfolgen. Danach kann eine Schicht abgeschieden werden, die z. B. aus HDP (High Density Plasma) SiN besteht. Diese Schicht dient als Kupfer-Diffusionsbarriere S4. Auf diese Schicht kann nun eine weitere Isolierschicht J3 abgeschieden werden, die vorzugsweise aus SiO besteht. Gegebenenfalls kann auf die Dielektrikumslage eine CMP-Stoppschicht S3 abgeschieden werden, die z.B. aus SiC besteht. Zum Schutz der S3-Schicht während der Lithographieprozessschritte kann noch eine weitere Schutzschicht J4, vorzugsweise auch aus SiO abgeschieden werden. Die so erhaltene Struktur ist in Fig. 41 abgebildet.

Der nächste Schritt ist, die Gräben für die Leiterbahnen zur Erzeugung der oberen Elektroden zu generieren. Die Struktur

nach dem Ätzen ist in Fig. 42 dargestellt. Die zu generieren-
den Gräben stehen im 90° Winkel zu den M1-Bahnen in den vor-
hergehenden Ebenen.

- 5 Nach Aufbringen der erforderlichen Anzahl von Ebenen kann der
Aufbau der abschließenden (obersten) Leiterbahn M2 erfolgen,
wie in Fig. 43 dargestellt. Nach deren Strukturierung wird
als letzte Lage eine Passivierungsschicht P abgeschieden um
zu dem in Fig. 44 dargestellten Aufbau zu gelangen. Die Pas-
sivierungsschicht P kann SiO₂, SiN, SiON oder SiC sowie eine
beliebige Kombination dieser Schichten sein.

- Bei der letzten Ebene wird die Leiterbahn M1 nach dem CMP-
Prozess mit dem darauf angeordnetem organischen Material be-
handelt, wobei selektiv auf den Kupferbahnen die Verbindung
zwischen dem organischen Material und dem Metall erzeugt
wird. Der Aufbau einer abschließenden Leiterbahn M2, die als
Elektrode dient, erfolgt über eine ganzflächige Abscheidung
von geeigneten Elektrodenmaterialien, wie bereits in Fig. 34
beschrieben.

- Als Isolierschicht I bzw. J kann an Stelle von Siliziumdioxid
auch ein sog. „low k“ Material eingesetzt werden. Dabei be-
deutet k die Dielektrizitätskonstante. Es geht dabei um Iso-
lierschichten, die wegen der niedrigeren k Werte im Vergleich
zu Siliziumdioxid eine höhere Signalgeschwindigkeit erlauben.
Beispiele für solche Materialien sind:

- Polymere wie Polyimide, Polychinoline, Polychinoxaline, Poly-
benzoxazole, Polyimidazole, aromatische Polyether, Polyaryle-
ne einschließlich des kommerziellen Dielektrikums SILK, Poly-
norbornene; weiterhin Mischpolymere (Copolymere) der genann-

Infineon Technologies AG

2003P50987 DE

2003 E 50986, 50988, 50989, 51002, 51005,
51006, 51007, 51008, 51009 DE

12585

39

ten Materialien; poröse siliziumhaltige Materialien, poröse organische Materialien (poröse Polymere), poröse anorganisch-organische Materialien.

Infineon Technologies AG

2003P50987 DE

2003 E 50986, 50988, 50989, 51002, 51005,
51006, 51007, 51008, 51009 DE

12585

1

Bezugszeichenliste

S Substrat

K Kontakt

5 D Deckschicht

I Isolierschicht, die mehrere Schichten aufweist

J Einzelschichten der Isolierschicht I

M Leiterbahn

T Graben für eine Leiterbahn

10 B untere Lage der unteren Elektrode

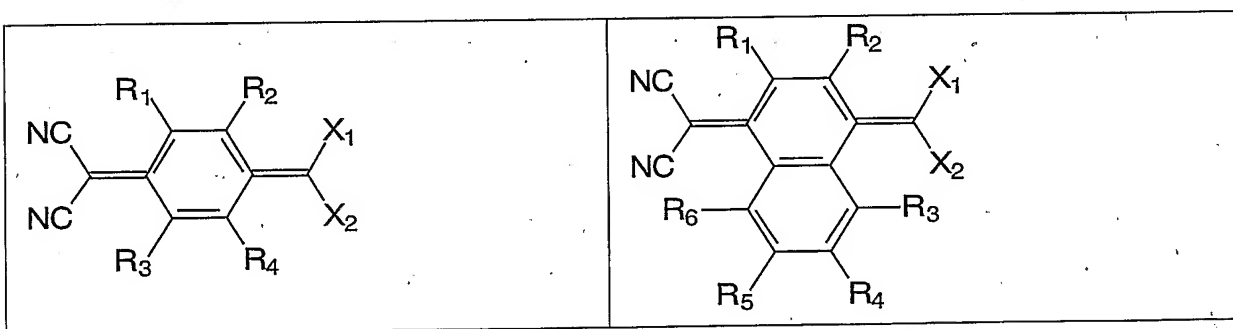
Patentansprüche

1. Eine Halbleiteranordnung mit mindestens einer nichtflüchtigen Speicherzelle, die eine erste Elektrode, die mindestens aus zwei Lagen besteht und ein organisches Material aufweist, wobei das organische Material mit der im unmittelbaren Kontakt stehenden Lage der ersten Elektrode eine Verbindung bildet.

10

2. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach Anspruch 1, dadurch gekennzeichnet, dass das organische Material mindestens ein der folgenden Materialien bzw. Verbindungen aufweist: Schwefel, Selen oder Tellur sowohl in reiner, als auch in gebundener Form insbesondere als organo-Verbindungen von Schwefel, Selen oder Tellur sowie Schwefel, Selen oder Tellur enthaltende Oligo- oder Polymere, und/oder eine der folgenden Verbindungen:

20



Infineon Technologies AG

2003P50987 DE

2003 E 50986, 50988, 50989, 51002, 51005,
51006, 51007, 51008, 51009 DE

12585

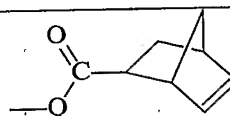
42

wobei $R_1, R_2, R_3, R_4, R_5, R_6, R_7$, und R_8 unabhängig voneinander die folgende Bedeutung haben:

- H, F, Cl, Br, I (Jod), Alkyl, Alkenyl, Alkynyl, O-Alkyl, O-Alkenyl, O-Alkynyl, S-Alkyl, S-Alkenyl, S-Alkynyl, OH, SH, Aryl, Heteroaryl, O-Aryl, S-Aryl, NH-Aryl, O-Heteroaryl, S-Heteroaryl, CN, NO₂, $-(CF_2)_n-CF_3$, $-CF((CF_2)_nCF_3)_2$, $-Q-(CF_2)_n-CF_3$, $-CF(CF_3)_2$, $-C(CF_3)_3$ sowie

10

--	--	--	--



n: n = 0 bis 10

Q: —O—, —S—

5

R₉, R₁₀, R₁₁, R₁₂ können unabhängig voneinander sein:

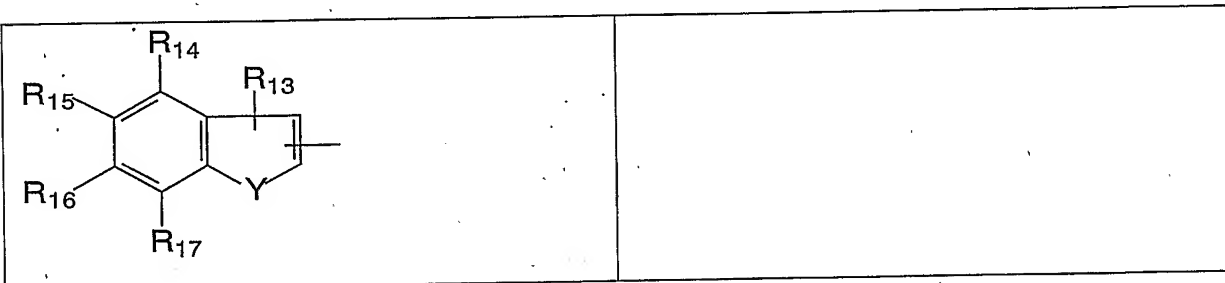
F, Cl, Br, I, CN, NO₂

R₁₃, R₁₄, R₁₅, R₁₆, R₁₇ können unabhängig voneinander sein:

10 H, F, Cl, Br, I, CN, NO₂

X₁ und X₂ kann unabhängig voneinander sein:

CN	



Y: O, S, Se ist

und Z₁ und Z₂ unabhängig voneinander: CN, NO₂ sind.

5 3. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach Anspruch 1 oder 2,
dadurch gekennzeichnet,
dass das organische Material ein Elektronenakzeptor ist.

10 4. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach Ansprüche 3,
dadurch gekennzeichnet,
dass der Elektronakzeptor elektronenziehende Atomen bzw. Gruppen aufweist, die ausgewählt sind aus: -Cl, -F, -Br, -I, -CN, -CO-, -NO₂.

15 5. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach einem der Ansprüche 1 bis 4,
dadurch gekennzeichnet,
20 dass das organische Material mit der unteren Elektrode einen Charge-Transfer Komplex bildet.

25 6. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach einem der Ansprüche 1 bis 5,
dadurch gekennzeichnet,
dass die im Kontakt mit dem organischen Material stehende Lage der ersten Elektrode kupfer- oder silberhaltig ist.

7. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das organische Material in einer Filmstärke zwischen 30 und 1000 nm, vorzugsweise zwischen 30 und 300 nm, vorliegt.
8. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die Zelle bis zu einer Fläche von 40 nm² skalierbar ist.
9. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die mit dem organischen Material nicht in Kontakt stehende Lage der ersten Elektrode Titan (Ti), Titannitrid (TiN), Tantal (Ta), Tantalnitrid (TaN), Wolfram (W), TiW, TaW, WN, WCN, IrO, RuO, SrRuO bzw. eine Kombination dieser Schichten und/oder Materialien ist und gegebenenfalls zusätzlich mit einer Schicht aus Si, TiNSi, SiON, SiO, SiC oder SiCN versehen ist.
10. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass die zweite Elektrode aus Aluminium, Kupfer, AlCu, AlSiCu, Silber (Ag), Titan (Ti), Titannitrid (TiN), Tantal (Ta), Tantalnitrid (TaN), Wolfram (W), TiW, TaW, WN, WCN, IrO, RuO, SrRuO bzw. eine Kombination dieser Schichten und/oder Materialien ist und gegebenenfalls zusätzlich mit einer Schicht aus Si, TiNSi, SiON, SiO, SiC oder SiCN versehen ist.
11. Halbleiteranordnung mit einer nichtflüchtigen Speicherzelle nach einem der vorhergehenden Ansprüche,

d a d u r c h g e k e n n z e i c h n e t,
dass die Zelle zwischen einem ON- und einem OFF-Zustand
schaltbar ist.

- 5 12. Halbleiteranordnung mit einer nichtflüchtigen Speicher-
zelle nach einem der vorhergehenden Ansprüche,
d a d u r c h g e k e n n z e i c h n e t,
dass der ON- und OFF-Zustand verschiedene elektrische Wider-
stände aufweist.

10

13. Halbleiteranordnung mit einer nichtflüchtigen Speicher-
zelle nach Anspruch 12,
d a d u r c h g e k e n n z e i c h n e t,
dass das Verhältnis zwischen den ON- und OFF-Zuständen mehr
15 als 66 beträgt.

14. Verfahren zur Herstellung einer nichtflüchtigen Spei-
cherzelle nach einem der vorhergehenden Ansprüche,
gekennzeichnet durch folgende Schritte:

20

- Bereitstellung einer ersten Elektrode, die mindestens aus
zwei Lagen besteht und eine Lage der ersten Elektrode mit
einem organischen Material eine Verbindung bilden kann;
- Inkontaktbringung der Elektrode mit einem organischen Ma-
terial um eine Verbindung zu bilden;
- 25 - und Ausbildung einer zweiten Elektrode auf der gebildeten
Verbindung.

25

15. Verfahren zur Herstellung einer nichtflüchtigen Speicher-
zelle nach Anspruch 14,

30

d a d u r c h g e k e n n z e i c h n e t,
dass das organische Material unter reduziertem Druck auf die
Elektrode aufgedampft wird.

16. Verfahren zur Herstellung einer nichtflüchtigen Speicherzelle nach Anspruch 14,
d a d u r c h g e k e n n z e i c h n e t,
dass das organische Material bei der Inkontaktbringung der
5 ersten Elektrode in einem Lösungsmittel gelöst ist.
17. Verfahren nach einem der vorhergehenden Ansprüche 14 bis
16,
d a d u r c h g e k e n n z e i c h n e t,
10 dass das organische Material vor Ausbildung der zweiten Elektrode einer thermischen Behandlung unterzogen wird.
18. Verfahren nach einem der Ansprüche 14 bis 17,
d a d u r c h g e k e n n z e i c h n e t,
15 dass vor Ausbildung der zweiten Elektrode das überschüssige organische Material mit einem Lösungsmittel gespült wird.
19. Verfahren nach Anspruch 15,
d a d u r c h g e k e n n z e i c h n e t,
20 dass das organische Material bei einem Druck zwischen 0,00001 bis 200 mbar aufgedampft wird.
20. Verfahren nach einem der Ansprüche 14-19,
d a d u r c h g e k e n n z e i c h n e t,
25 dass die Inkontaktbringung des organischen Materials bei einer Substrat-Temperatur zwischen -50 °C und 150 °C stattfindet.
21. Verfahren nach einem der Ansprüche 14, 15, 17 bis 20,
30 d a d u r c h g e k e n n z e i c h n e t,
dass das organische Material in der Gasphase mit einem Trägergas vermischt wird.
22. Verfahren nach einem der Ansprüche 14 bis 21,

d a d u r c h g e k e n n z e i c h n e t,
dass vor Anbringung der zweiten Elektrode, die gebildete Verbindung mit einem Nachbehandlungsreagens behandelt wird.

5 23. Verfahren nach Anspruch 22,

d a d u r c h g e k e n n z e i c h n e t,
dass das Nachbehandlungsreagens aus folgender Gruppe ausgewählt wird: Amine, Amide, Ether, Ketone, Carbonsäuren, Thioether, Ester, Aromaten, Heteroaromaten, Alkohole oder Schwefel- oder selenhaltige Verbindungen.

24. Verfahren nach Anspruch 23,

d a d u r c h g e k e n n z e i c h n e t,
dass die schwefelhaltige Verbindungen ausgewählt sind aus der Gruppe enthaltend: Schwefel-Heterocyclen, -SO- enthaltende Verbindungen und Thiole.

25. Verfahren nach einem der Ansprüche 22-24,

d a d u r c h g e k e n n z e i c h n e t,
dass das Nachbehandlungsreagenz ausgewählt ist aus der Gruppe enthaltend: Diethylamin, Triethylamin, Dimethylanilin, Cyclohexylamin, Diphenylamin, Dimethylformamid, Dimethylacetamid, Dimethylsulfoxid, Aceton, Diethylketon, Diphenylketon, Benzoesäurephenylester, Benzofuran, N-Methylpyrrolidon, gamma-Butyrolacton, Toluol, Xylol, Mesitylen, Naphthalin, Anthracen, Imidazol, Oxazol, Benzimidazol, Benzoxazol, Chinolin, Chinoxalin, Fulvalene, Furan, Pyrrol, Thiophen oder Diphenylsulfid.

30 26. Verfahren nach einem der Ansprüche 22 bis 25,

d a d u r c h g e k e n n z e i c h n e t,
dass das Nachbehandlungsreagenz in einer Lösung vorliegt.

27. Verfahren nach einem der Ansprüche 22-25,

d a d u r c h g e k e n n z e i c h n e t,
dass das Nachbehandlungsreagenz als Dampf vorliegt.

28. Verfahren nach einem der Ansprüche 22-27,

5 d a d u r c h g e k e n n z e i c h n e t,
dass die Nachbehandlungszeit zwischen 15 Sekunden und 15 Mi-
nuten beträgt.

29. Verfahren nach einem der Ansprüche 22 bis 28,

10 d a d u r c h g e k e n n z e i c h n e t,
dass die Nachbehandlung bei einer Temperatur von -30 °C bis
150 °C stattfindet.

15 30. Verfahren nach einem der Ansprüche 14-21, dadurch gekenn-
zeichnet, dass beim Inkontaktbringen der ersten Elektrode mit
dem organischen Material das Nachbehandlungsreagens gemäß ei-
nem der Ansprüche 22-25 der das organische Material enthal-
tenden Lösung oder dem das organische Material enthaltenden
20 Dampf beigemischt wird.

31. Halbleiteranordnung nach einem der Ansprüche 1-13,

aufweisend das Nachbehandlungsreagenz gemäß einem der Ansprü-
che 22-25, und/oder eine Reaktionsprodukt des Nachbehand-
25 lungsreagenz mit dem organischen Material und/oder dem Elekt-
rodenmaterial.

32. Halbleiteranordnung mit einer Bitleitung und einer Wort-
30 leitung aufweisend nichtflüchtige Speicherzelle nach einem
der Ansprüche 1-13 und/oder 31, wobei sich die nichtflüchti-
gen Speicherzellen direkt zwischen sich kreuzenden Bit- bzw.
Wortleitungen befindet.

33. Halbleiteranordnung nach Anspruch 32,
d a d u r c h g e k e n n z e i c h n e t,
dass die nichtflüchtigen Speicherzellen in mehreren Lagen
vorliegen.

34. Halbleiteranordnung nach Anspruch 32 oder 33,
herstellbar durch folgende Schritte in beliebiger Reihenfol-
ge:

- Ausbilden mindestens einer ersten Leiterbahn auf einem Sub-
strat, die als erste Elektrode für die Speicherzelle gemäß
einem der Ansprüche 1-13 oder 31 dient;
- Abscheiden einer Isolierschicht;
- Strukturieren der Isolierschicht, so dass in der Isolier-
schicht Gräben für mindestens eine Leiterbahn quer zu den
ersten angelegten Leiterbahnen strukturiert werden;
- Abscheiden eines organischen Materials gemäß einem der An-
sprüche 2 bis 5;
- Abscheiden mindestens einer zweiten Elektrode, die quer zu
der ersten angelegten Leiterbahn angeordnet ist und als
zweite Elektrode für die Speicherzelle dient.

35. Halbleiteranordnung nach Anspruch 34,
d a d u r c h g e k e n n z e i c h n e t,
dass das Abscheiden der Isolierschicht nach dem Abscheiden
des organischen Materials erfolgt.

36. Halbleiteranordnung nach Anspruch 33,
herstellbar durch folgende Schritte in dieser Reihenfolge:

- Ausbilden mindestens einer ersten Leiterbahn auf einem Sub-
strat;
- Abscheiden einer Isolierschicht;
- Strukturieren der Kontaktlöcher über der ersten Elektrode;
- Abscheiden eines organischen Materials gemäß einem der An-
sprüche 2-5 in die Kontaktlöcher über die erste Elektrode;

- Abscheiden einer zweiten Isolierschicht;
- Strukturieren der zweiten Isolierschicht, so dass in der Isolierschicht Gräben für mindestens eine zweite Leiterbahn, die quer zu den ersten angelegten Leiterbahnen verläuft und im Zellenfeld die Kontaktlöcher abdeckt, strukturiert werden;
- Abscheiden mindestens einer zweiten Leiterbahn, die als zweite Elektrode für die Speicherzelle gemäß einem der Ansprüche 1-13 und/oder 31 dient.

37. Halbleiteranordnung nach einem der Ansprüche 32 bis 34, dadurch gekennzeichnet, dass sie durch eine Cu-Damascene-Technik hergestellt ist.

38. Verfahren zur Herstellung einer Halbleiteranordnung nach einem der Ansprüche 32-37, gekennzeichnet durch

- Ausbilden mindestens einer ersten Leiterbahn auf einem Substrat, die als erste Elektrode für die Speicherzelle gemäß einem der Ansprüche 1-13 und/oder 31 dient;
- das Abscheiden einer Isolierschicht;
- das Strukturieren der Isolierschicht, so dass in der Isolierschicht Gräben für mindestens eine Leiterbahn quer zu den ersten angelegten Leiterbahnen strukturiert werden;
- das Abscheiden eines organischen Materials gemäß einem der Ansprüche 2-5;
- das Abscheiden mindestens einer zweiten Elektrode, die quer zu der ersten angelegten Leiterbahn angeordnet ist und als zweite Elektrode für die Speicherzelle gemäß einem der Ansprüche 1-13 und/oder 31 dient.

39. Verfahren nach Anspruch 38, dadurch gekennzeichnet,

dass das Abscheiden der Isolierschicht nach dem Abscheiden des organischen Materials erfolgt.

40. Verfahren zur Herstellung einer Halbleiteranordnung nach
5 einem der Ansprüche 32-37,
g e k e n n z e i c h n e t d u r c h
- das Anlegen mindestens einer ersten Leiterbahn auf einem
Substrat;
- das Abscheiden einer Isolierschicht;
10 - das Strukturieren der Kontaktlöcher über der ersten Elekt-
rode;
- das Abscheiden eines organischen Materials gemäß einem der
Ansprüche 2-5 in die Kontaktlöcher über die erste Elektro-
de;
15 - das Abscheiden einer zweiten Isolierschicht;
- das Strukturieren der zweiten Isolierschicht, so dass in
der Isolierschicht Gräben für mindestens eine zweite Lei-
terbahn, die quer zu den ersten angelegten Leiterbahnen
verläuft und im Zellenfeld die Kontaktlöcher abdeckt,
20 strukturiert werden;
- das Abscheiden mindestens einer zweiten Leiterbahn, die als
zweite Elektrode für die Speicherzelle gemäß einem der An-
spruch 1-13 oder und/oder 31 dient.
- 25 41. Verfahren nach einem der Ansprüche 38-40,
d a d u r c h g e k e n n z e i c h n e t,
dass nach dem Abscheiden des organischen Materials auf dem
organischen Material vor der weiteren Prozessierung eine
Schutzschicht abgeschieden wird.
- 30 42. Speichervorrichtung enthaltend eine Mehrzahl der nicht
flüchtigen Speicherzellen gemäß einem der Ansprüche 1-13
und/oder 31.

Infineon Technologies AG

2003P50987 DE

2003 E 50986, 50988, 50989, 51002, 51005,
51006, 51007, 51008, 51009 DE

12585

53

43. Speichervorrichtung nach Anspruch 39,
dadurch gekennzeichnet,
dass eine Mehrzahl von Speicherzellen in einer Ebene angeord-
net ist.

5

44. Speichervorrichtung nach Anspruch 42 oder 43,
dadurch gekennzeichnet,
dass eine Mehrzahl von Speicherzellen gemäß einem der Ansprü-
che 1 bis 13 und/oder 31 in XY- und in XZ- bzw. YZ-Ebene an-
geordnet sind.

10

Fig. 1a

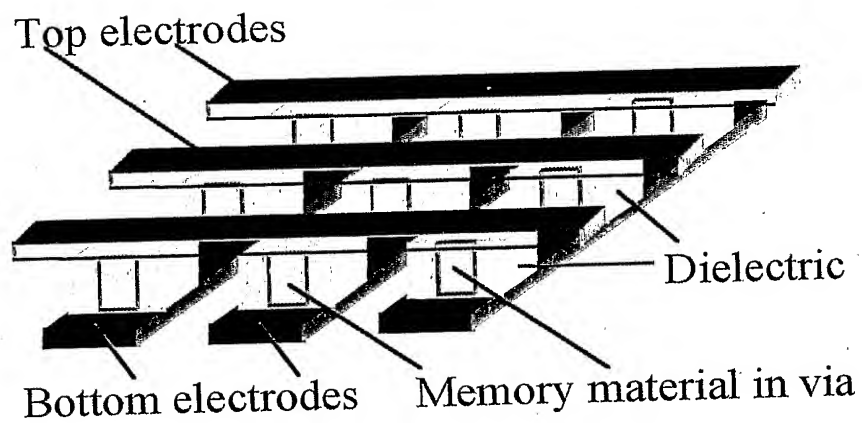


Fig. 1b

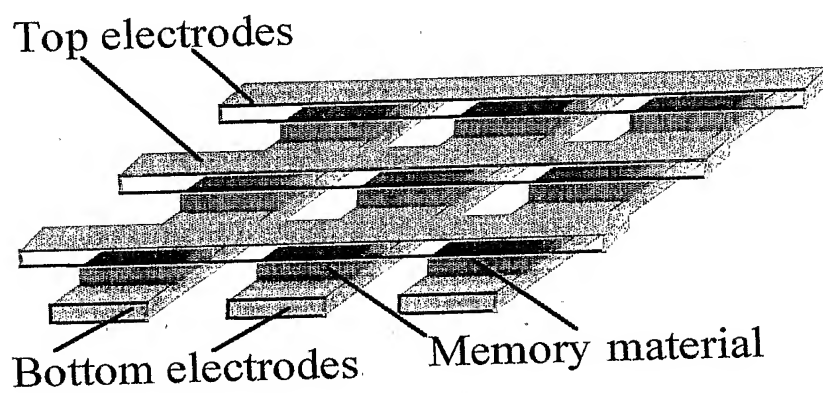
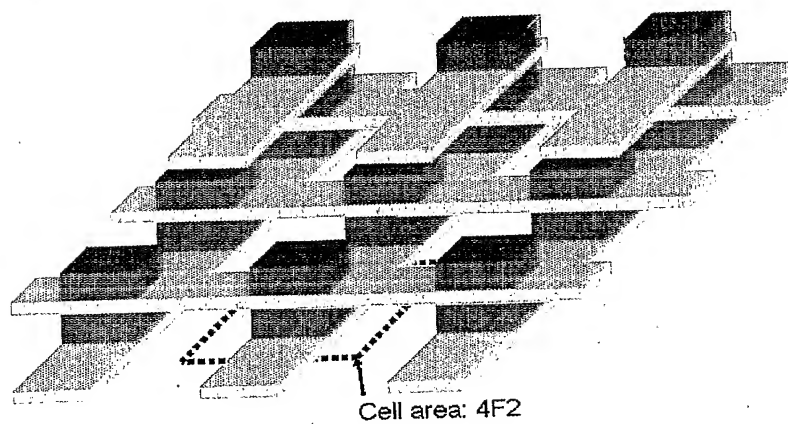


Fig. 1c



2/17

Fig. 2

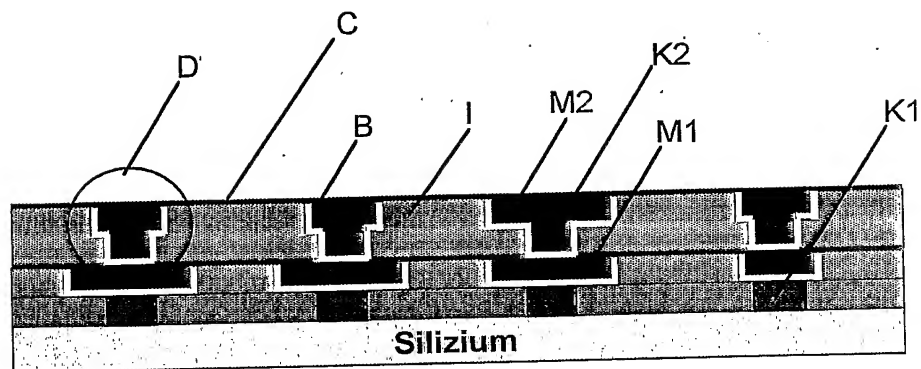


Fig. 3a

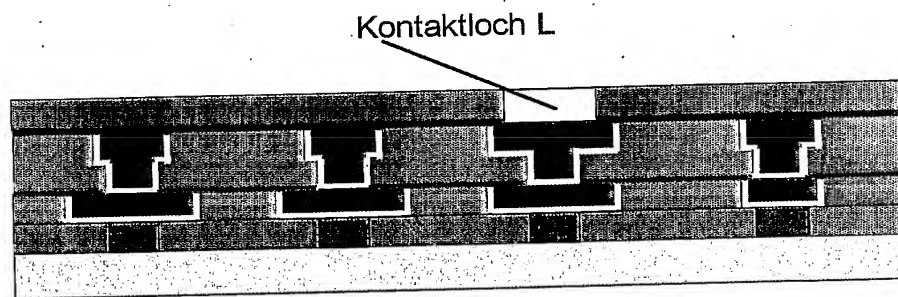


Fig. 3b

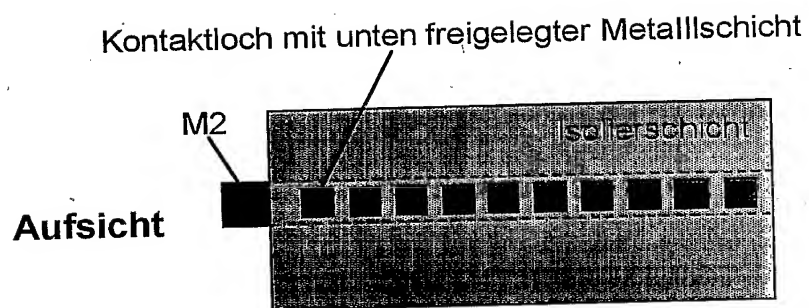


Fig. 4

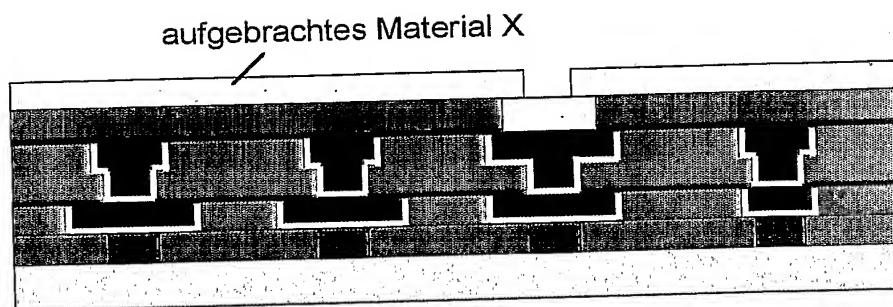


Fig. 5

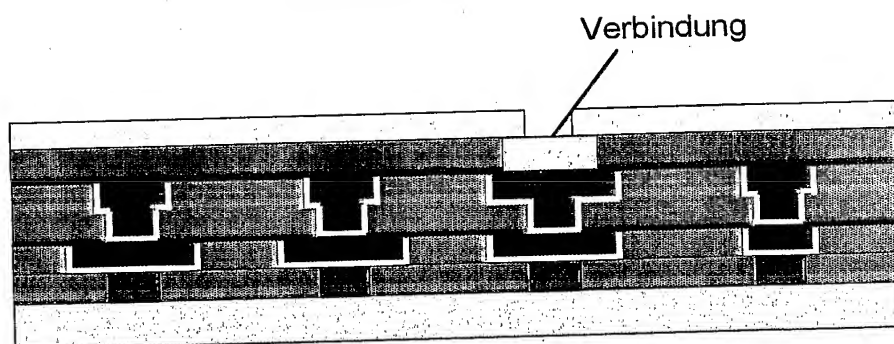


Fig. 6

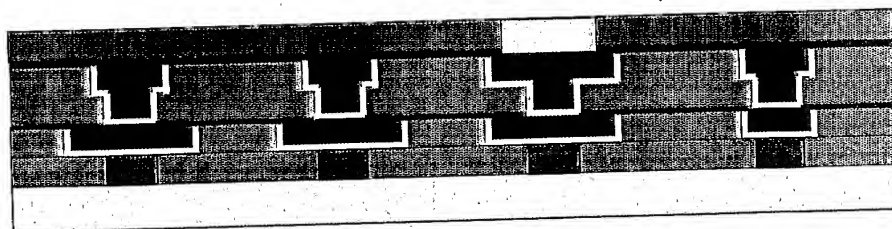


Fig. 7

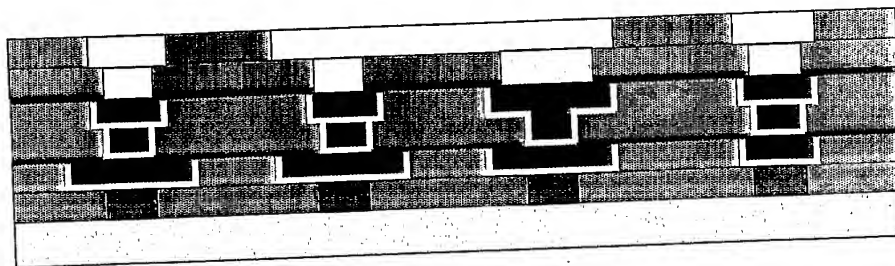


Fig. 8

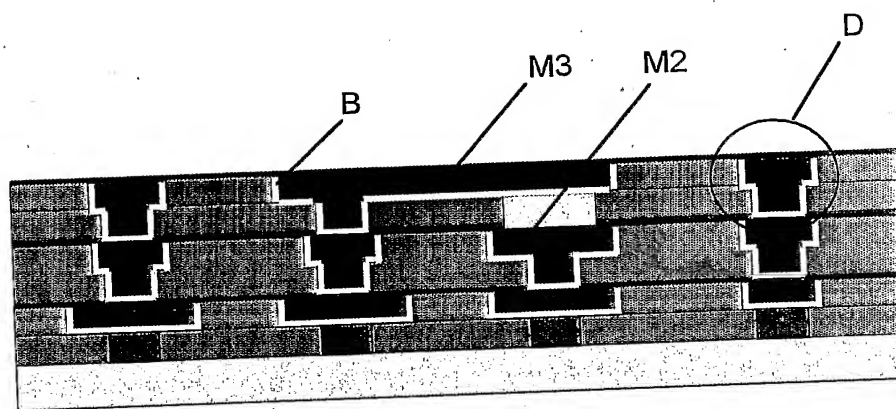
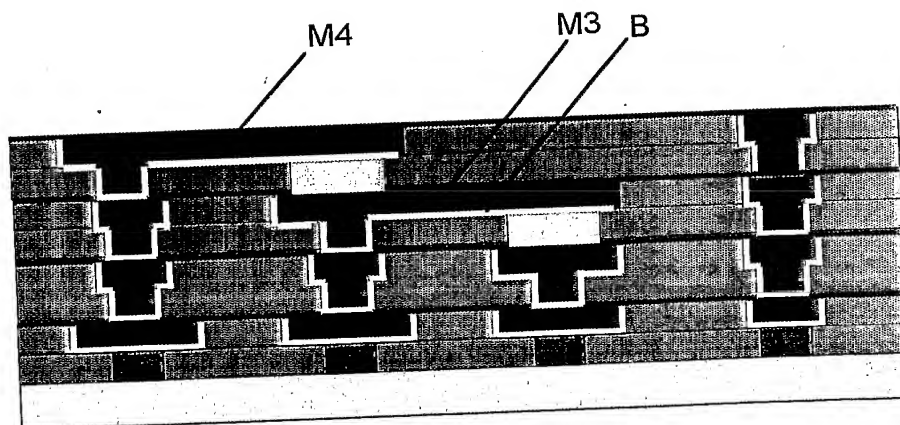


Fig. 9



5/17

Fig. 10

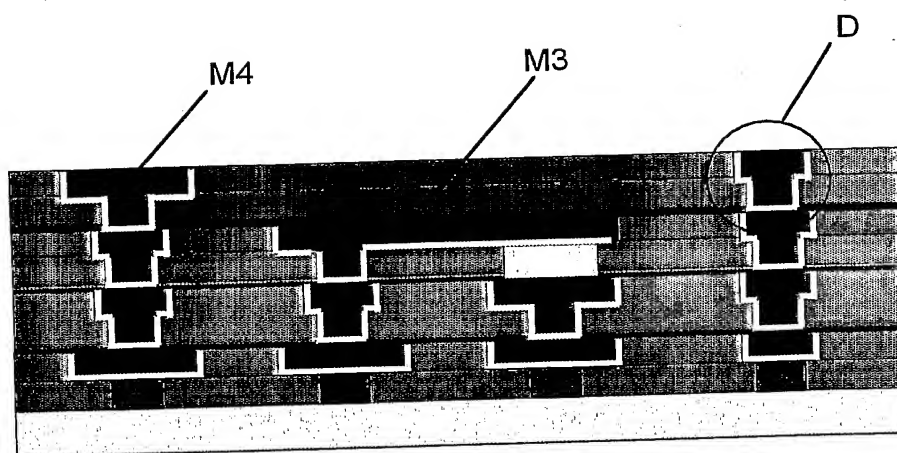


Fig. 11

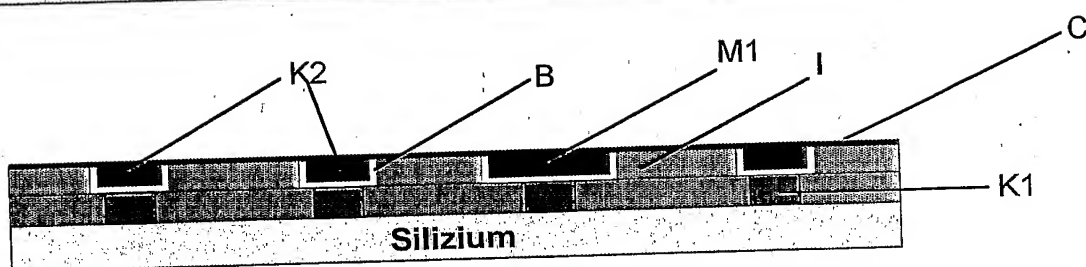


Fig. 11a

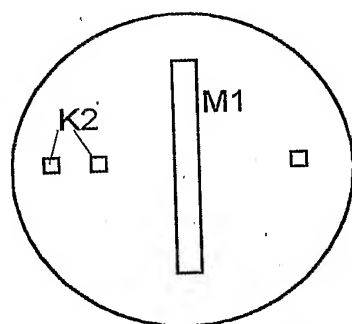


Fig. 12

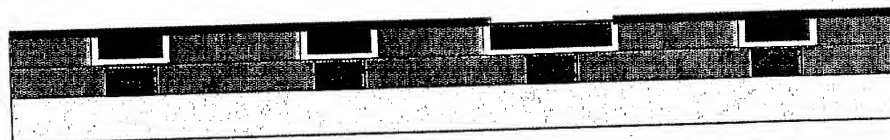
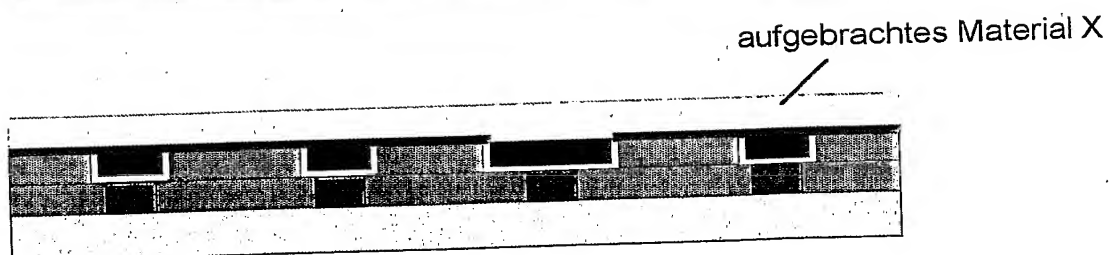


Fig. 13



6/17

Verbindung

Fig. 14

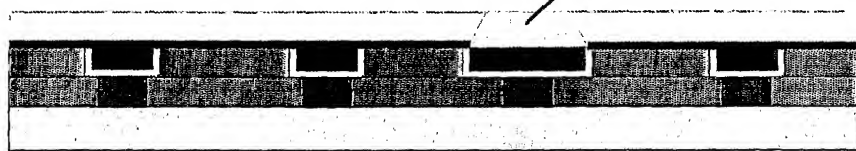


Fig. 15

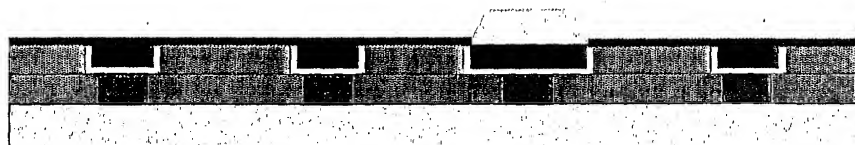


Fig. 16a

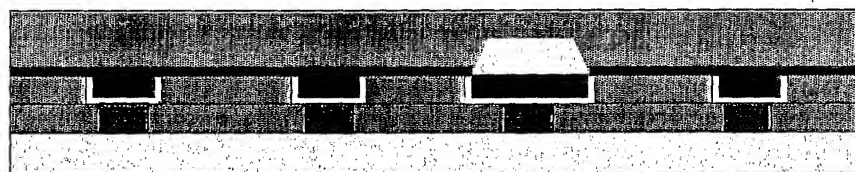


Fig. 16b

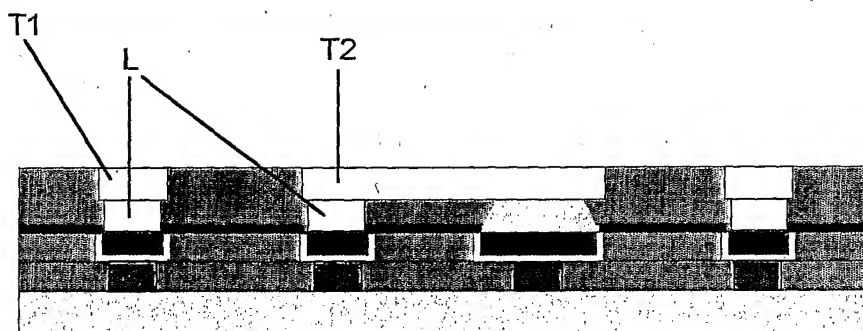
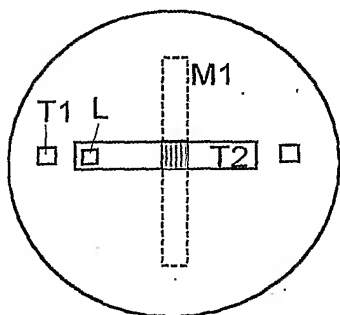


Fig. 16c



7/17

Fig. 17

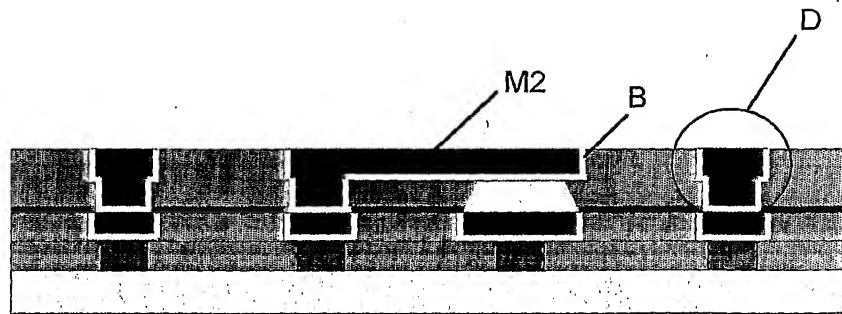


Fig. 18

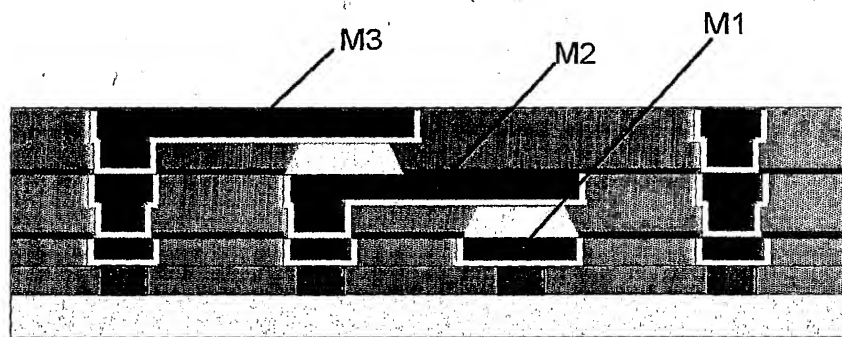


Fig. 19

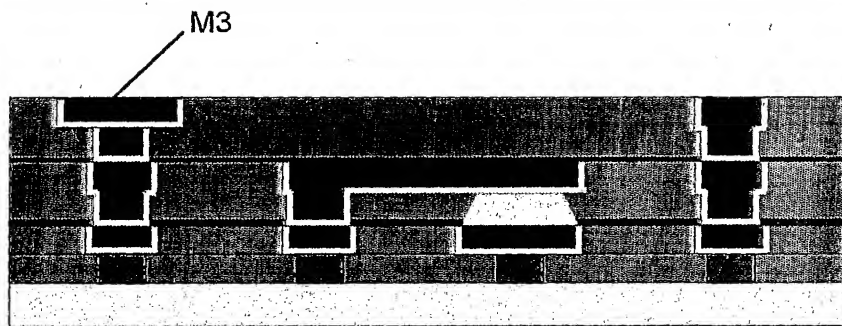


Fig. 19a

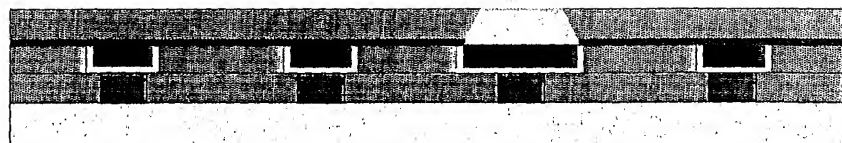


Fig. 20

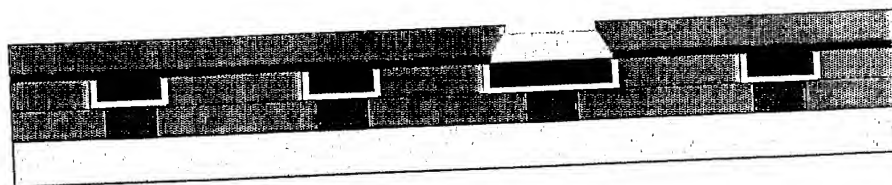


Fig. 21a

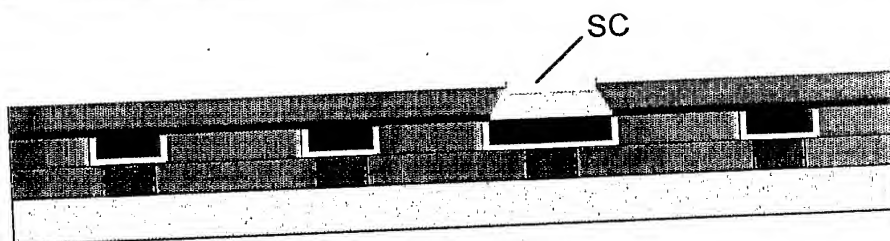


Fig. 21b

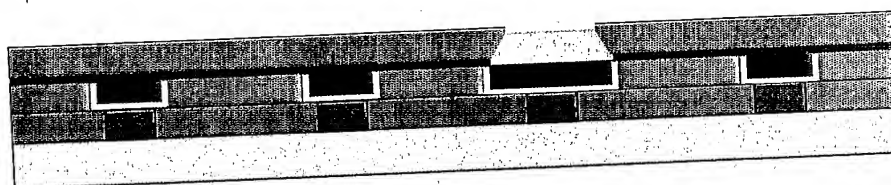


Fig. 21c

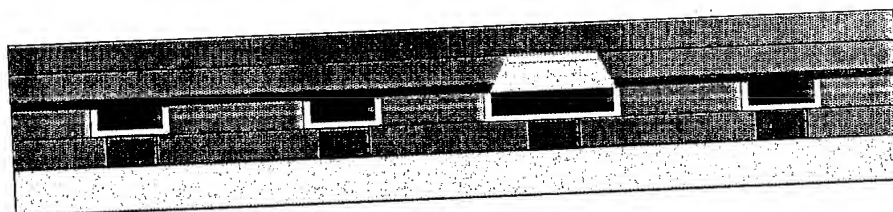


Fig. 22

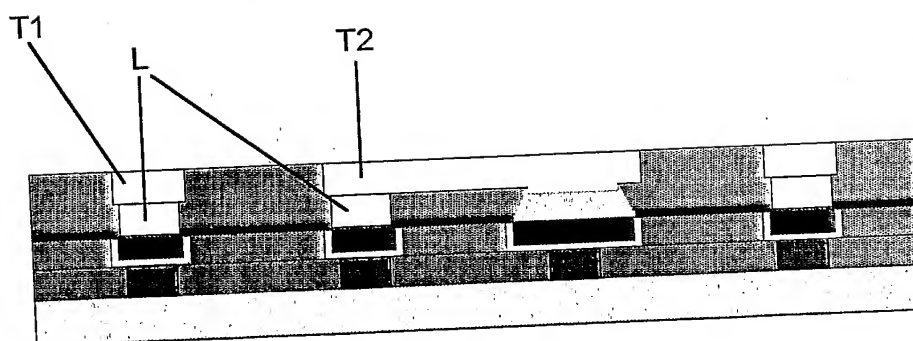


Fig. 22a

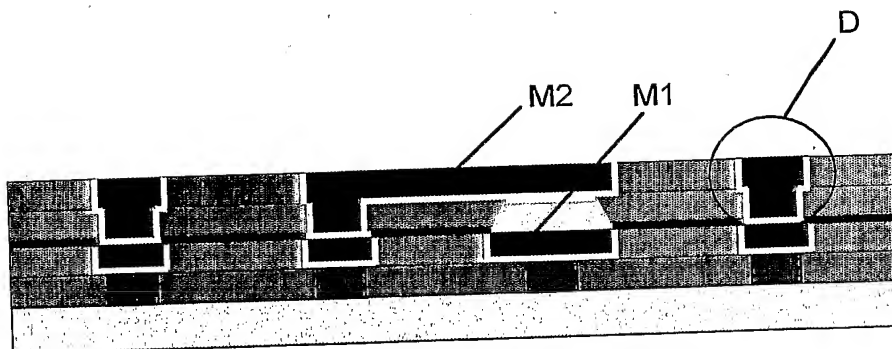


Fig. 22b

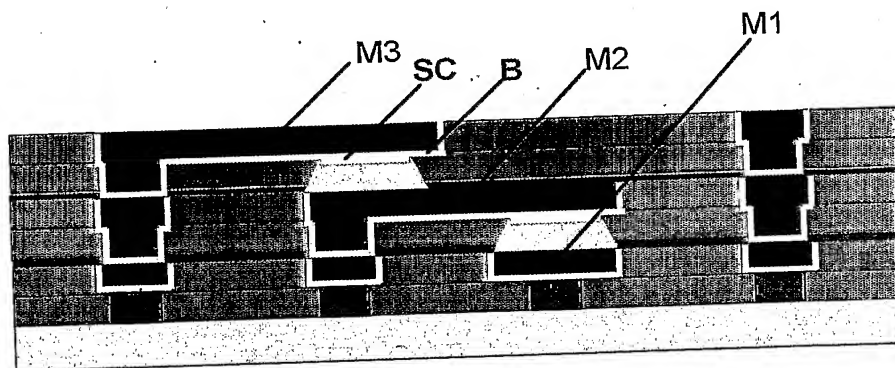


Fig. 22c

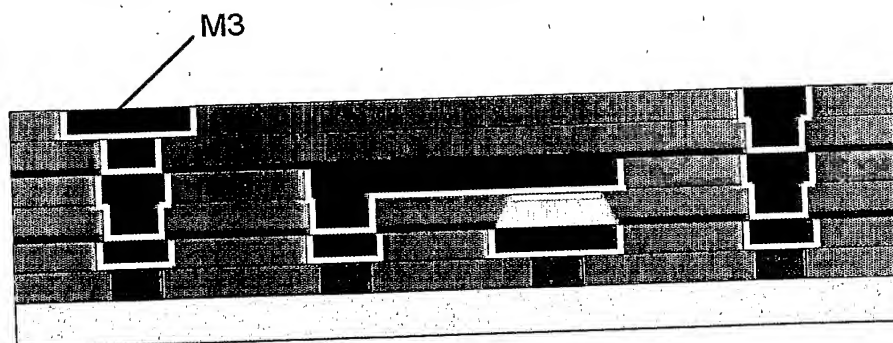


Fig. 23

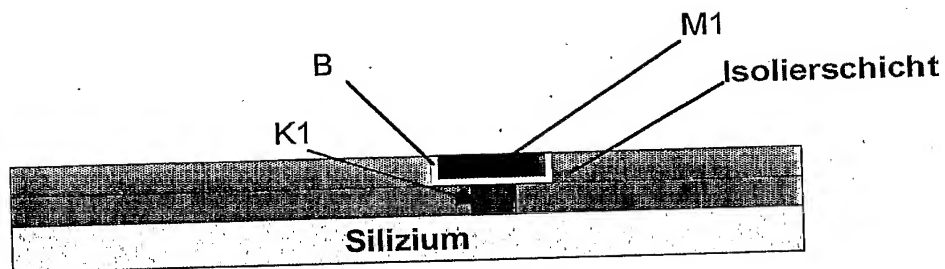


Fig. 24

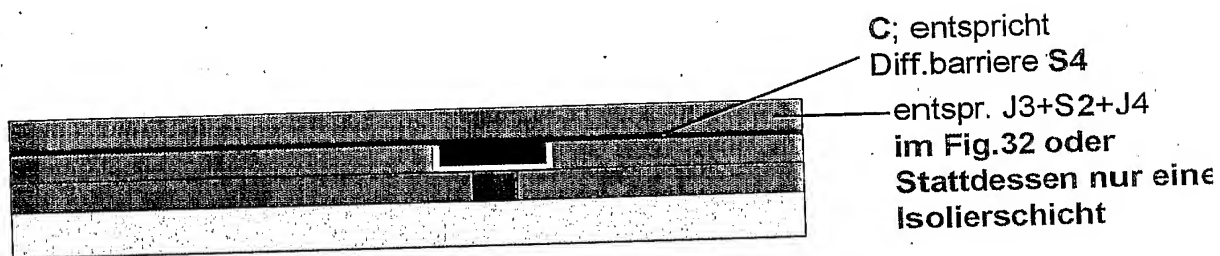


Fig. 25

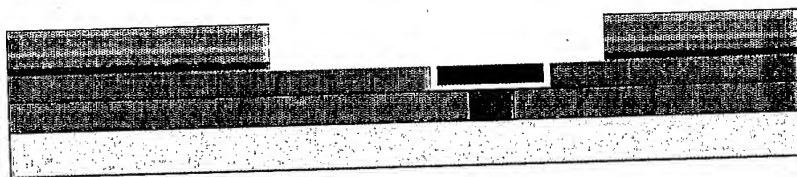


Fig. 26

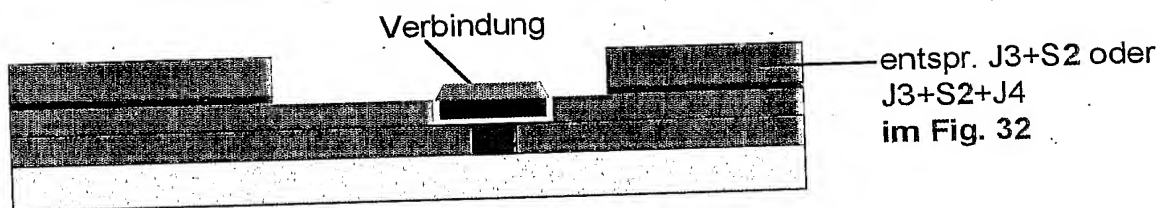


Fig. 27a

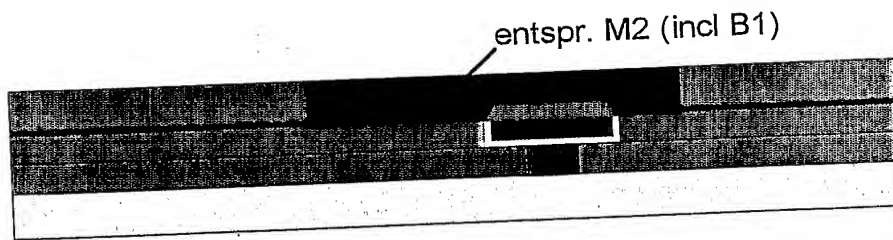


Fig. 27b

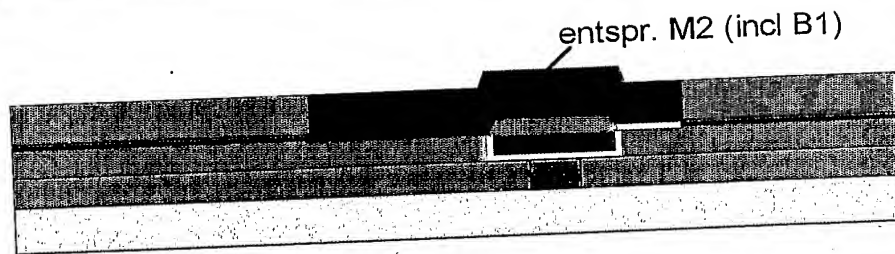


Fig. 28

FEOL mit Kontakte
als Abschluß



K1

Fig. 29

FEOL mit Kontakte
als Abschluß



J1

S1

J2

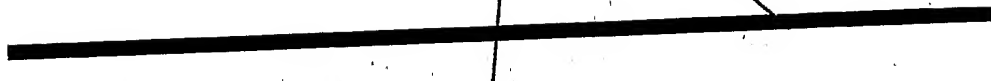


Fig. 30

FEOL mit Kontakte
als Abschluß



Fig. 31

FEOL mit Kontakte
als Abschluß

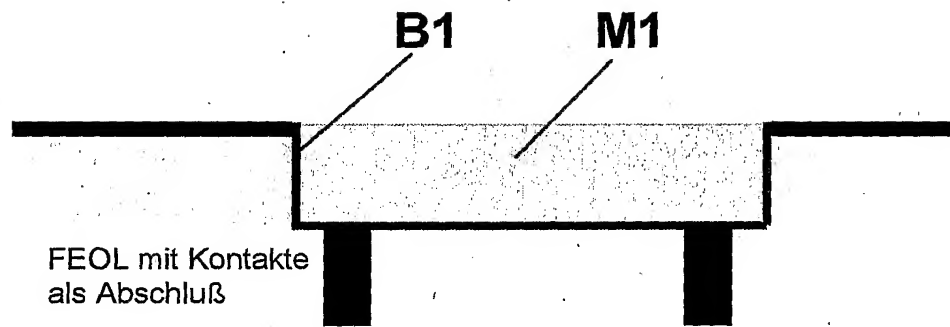


Fig. 32

FEOL mit Kontakte
als Abschluß

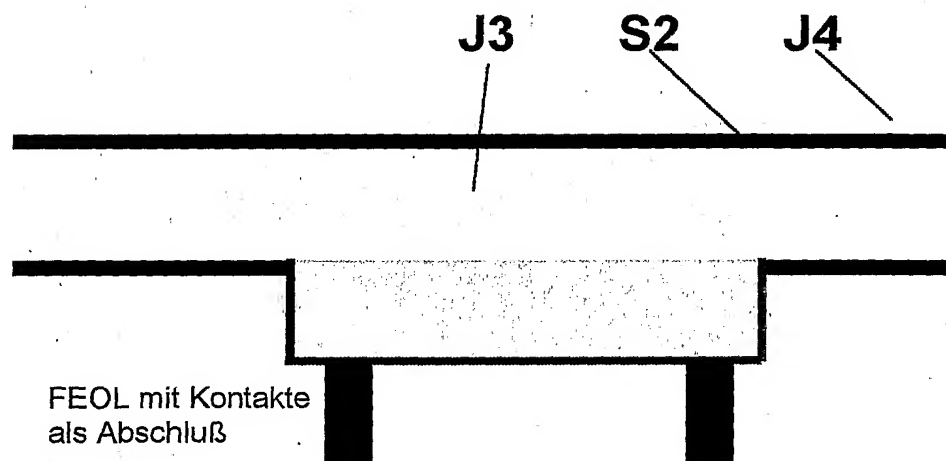


Fig. 33

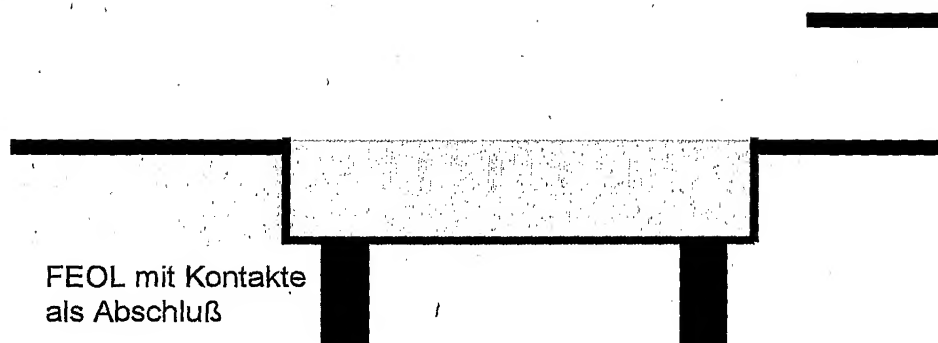


Fig. 34

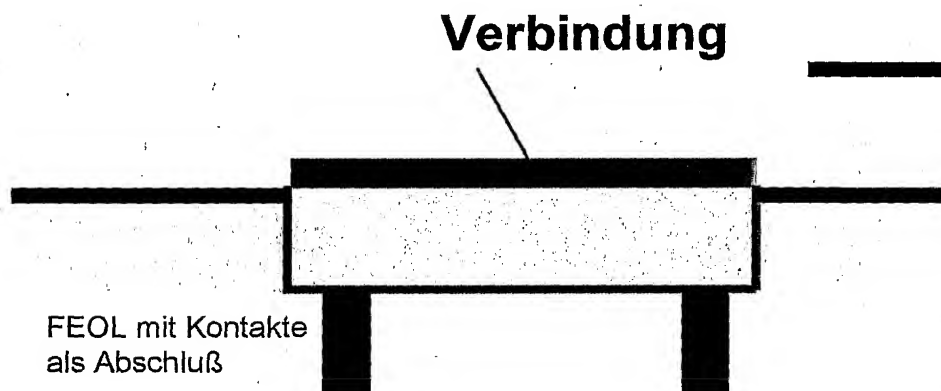


Fig. 35

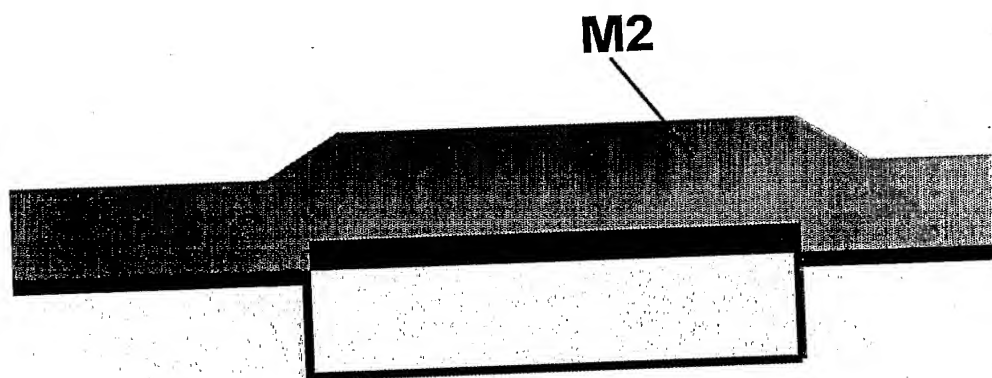


Fig. 36

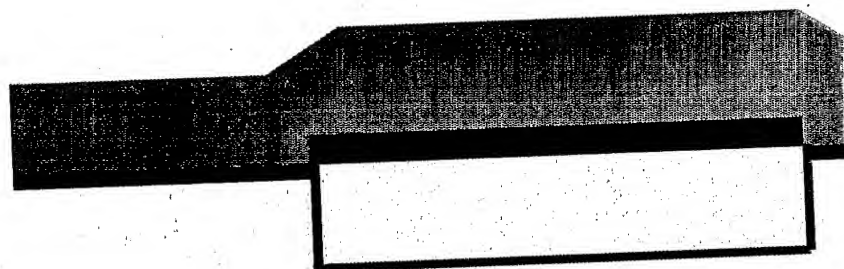
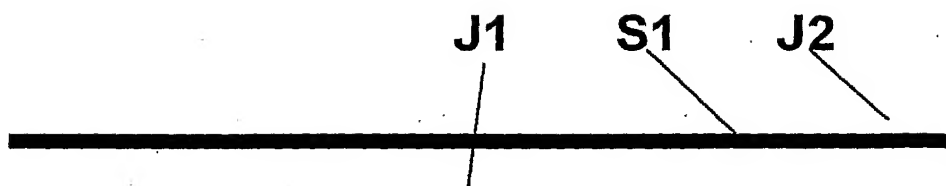


Fig. 37



FEOL mit Kontakte
als Abschluß



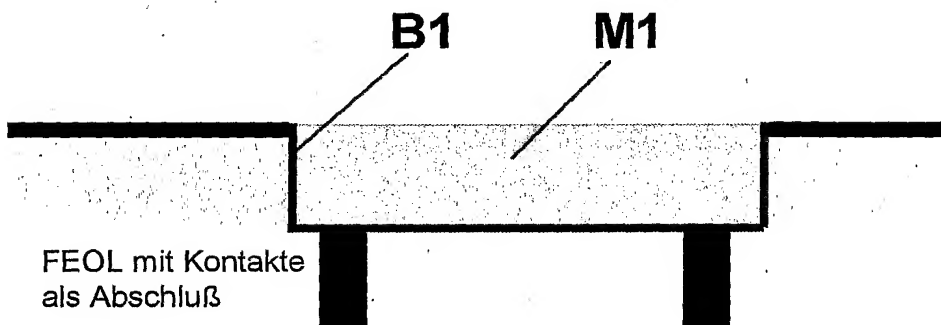
Fig. 38



FEOL mit Kontakte
als Abschluß



Fig. 39



FEOL mit Kontakte
als Abschluß



Verbindung

Fig. 40



FEOL mit Kontakte
als Abschluß



Fig. 41

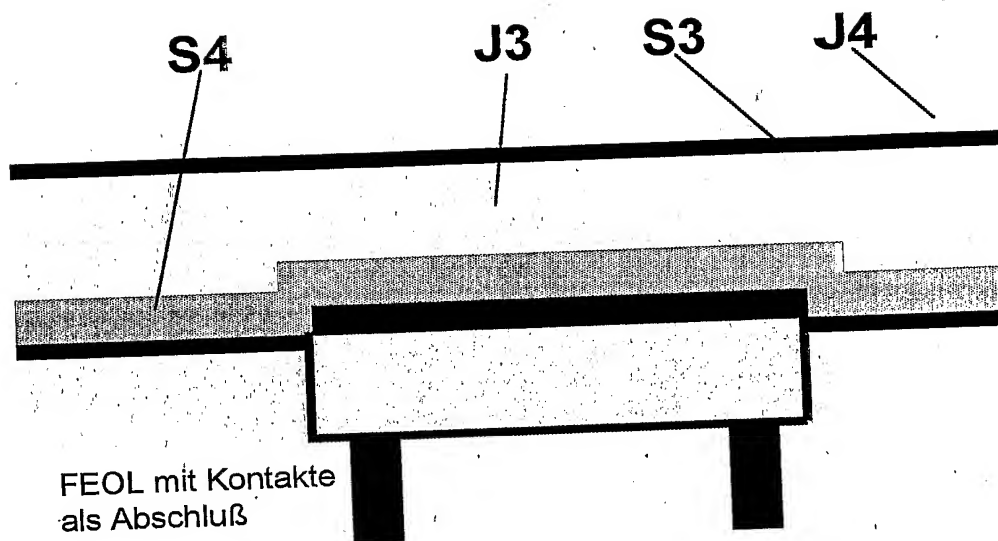


Fig. 42

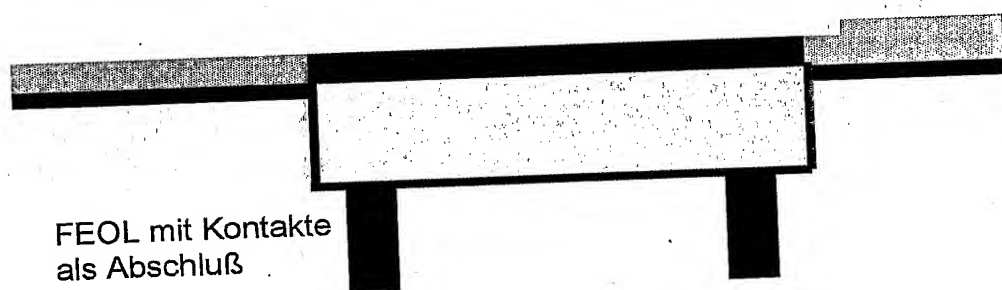


Fig. 43

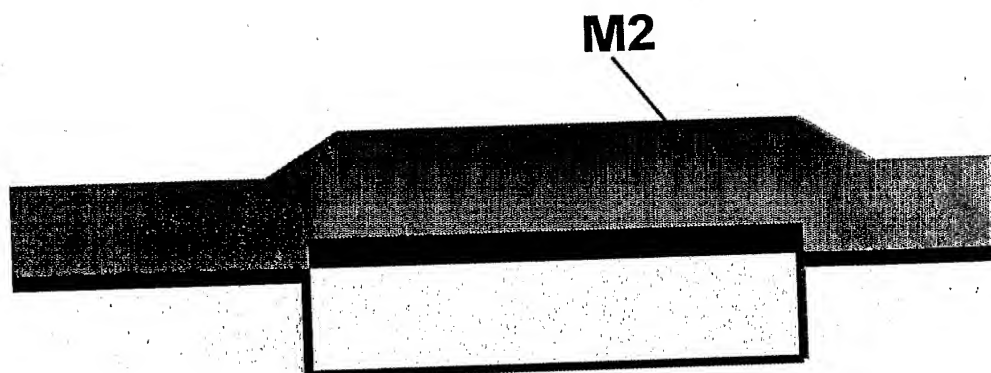


Fig. 44

